

数字电子技术实验 指导书

商丘师范学院物理与信息工程系编

目 录

实验一 基本逻辑门实验	1
实验二 组合逻辑电路一	7
实验三 组合逻辑电路二.....	11
实验四 译码、显示电路.....	15
实验五 集成触发器.....	20
实验六 可编程计数器.....	24
实验七 移位寄存器.....	26
实验八 555 集成定时器的使用	31
实验九 传输门的使用.....	36
实验十 模-数转换器	39
实验十一 30 秒定时电路	42
附：数字实验箱简介	46

实验一 基本逻辑门实验

一、实验目的

- (1) 让学生接触和实际运用集成逻辑门电路；
- (2) 掌握和测试基本门的逻辑功能；
- (3) 掌握和测试逻辑门转换方法。

二、实验仪器

数字实验箱、集成片 74LS00

三、实验原理

1、TTL 与非门

TTL 与非门具有较高的工作速度、较强的抗干扰能力、较大的输出幅度、负载能力等优点，因而得到了广泛的应用。

74LS00 是一种常见的逻辑门芯片，内部含有四个独立的两输入与非门，其芯片结构如图 1 所示。

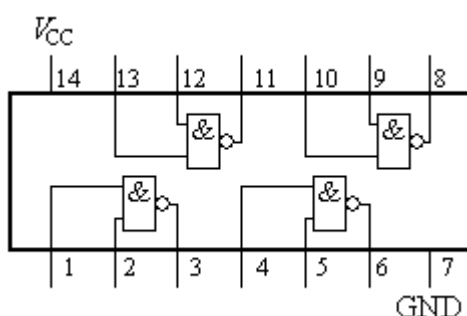


图 1 74LS00 芯片结构图

2、几种逻辑关系

(1) 与逻辑关系

与逻辑关系为

$$Y = A \cdot B$$

有一个输入变量为低电平，输出为低电平；只有全部输入均为高电平时，输出为高电平。

(2) 或逻辑关系为

$$Y = A + B$$

有一个输入变量为高电平，输出为高电平；只有全部输入均为低电平时，输出为低电平。

(3) 非逻辑关系为

$$Y = \overline{A}$$

输入变量为低电平，输出为高电平；输入变量为高电平，输出为低电平。

(4) 与非逻辑关系为

$$Y = \overline{A \cdot B}$$

有一个输入变量为低电平，输出为高电平；只有全部输入均为高电平时，输出为低电平。

3、逻辑门之间的转换

将与非门适当变换，可得到与门、或门、非门等。

(1) 与非门转换为非门

从与非逻辑关系

$$Y = \overline{A \cdot B}$$

看出，只要一个输入端为高电平（如 $B=1$ ），则有

$$Y = \overline{A \cdot 1} = \overline{A}$$

由此，与非门转换成了非门。

转换示意图如图 2 所示。

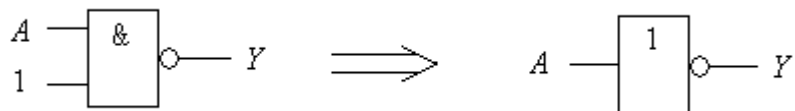


图 2 与非门转换为非门示意图

(2) 与非门转换为与门

从与非逻辑关系

$$Y = \overline{A \cdot B}$$

看出， AB 与非后再取非，便可变为与门

$$Y = \overline{\overline{A \cdot B}} = A \cdot B$$

由此，与非门转换成了与门，转换示意图如图 3 所示。

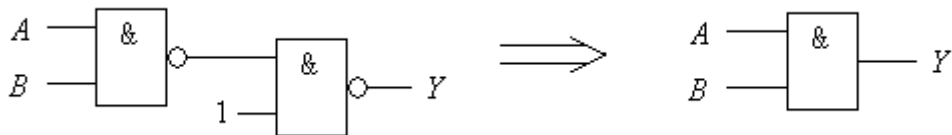


图 3 与非门转换为与门示意图

(3) 与非门转换为或门

由

$$Y = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

看出，利用非门（由与非门转换而成）、与非门可转换为或门。

转换示意图如图 4 所示。

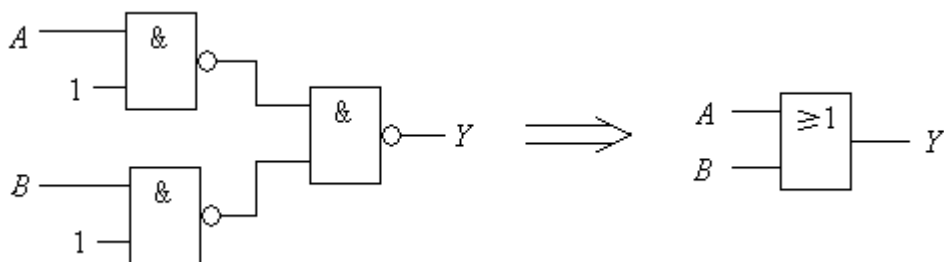


图 4 与非门转换为或门示意图

四、实验步骤

1、与非逻辑功能测试

直接测试 74LS00。

74LS00 为 2 输入与非门（内部共 4 个 2 输入与非门），1、2、3 脚为其中一个与非门（1、2 脚为输入端，3 脚为输出端）

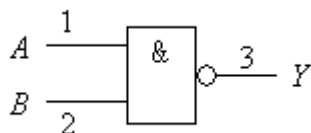


图 5 与非门连线示意图

（1）按照芯片管脚规定连接输入输出信号

两根其他颜色导线将芯片 1、2 脚（输入端）分别与数字箱两个扳手（提供高低电平——向下扳为低电平 0、向上扳为高电平 1）相连作为输入线号 A、B，3 脚与某个检测灯（检测高低电平——灯暗表示低电平 0、灯亮表示高电平 1）相连，作为输出信号 Y。

（2）按照芯片管脚规定连接电源

一根红色导线将芯片 14 脚与数字箱 +5V 相连、一根黑色导线将芯片 7 脚与数字箱 $\perp$ 连接。

（3）与非功能测试

按照 00、01、10、11 顺序分别将 1、2 脚所连扳手置于不同电平（即 A、B 分别取不同值），观察 3 脚所连检测灯亮暗（即输出信号 Y 的取值），填入表 1。

注：也可利用其他管教进行测试。

2、非逻辑功能测试

非门由 74LS00 转换而成。

（1）与非门转换成非门

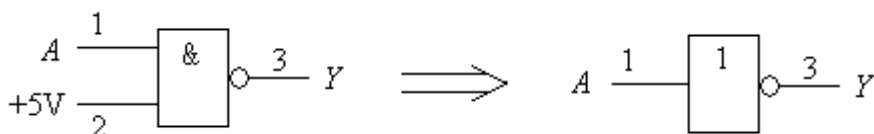


图 6 非门连线示意图

一根其他颜色导线将芯片 2 脚接+5V（高电平 1），1 脚接某个扳手——作为输出信号 A，3 脚与某个检测灯相连——作为输出信号 Y，此时 1、3 之间相当于一个非门。

(2) 按照芯片管脚规定连接电源

一根红色导线将芯片 14 脚与数字箱+5V 相连、一根黑色导线将芯片 7 脚与数字箱⊥连接。

(3) 与非功能测试

按照 0、1 顺序分别将 1 脚所连扳手置于不同电平（即输入信号 A 的取值），观察 3 脚所连检测灯亮暗（即输出信号 Y 的取值），填入表 2。

注：也可利用其他管脚进行测试。

3、与逻辑功能测试

与门由 74LS00 转换而成，由与门+非门构成。

(1) 与非门转换成与门

首先将 1、2、3 脚转换成非门（按照上述方法）——1、3 之间相当于非门。

再利用 4、5、6 脚的与非门（4、5 为输入，6 为输出）与非门输入端 1 相连——6 脚接 1 脚，此时 4、5、3 之间即为与门（4、5 为输入，3 为输出）。

（因为： $Y = \overline{\overline{A \cdot B}} = A \cdot B$ ）

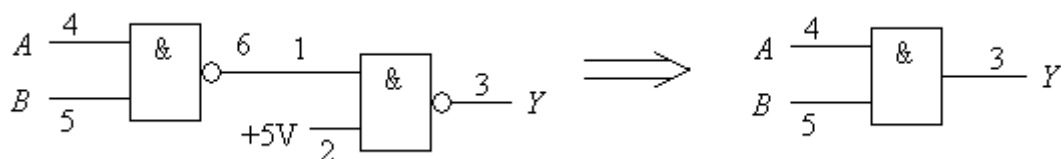


图 7 与门连线示意图

(2) 按照芯片管脚规定连接电源

一根红色导线将芯片 14 脚与数字箱+5V 相连、一根黑色导线将芯片 7 脚与数字箱⊥连接。

(3) 与功能测试

两根其他颜色导线将芯片 4、5 脚（输入端 A、B）分别与数字箱两个扳手相连，3 脚（输出信号 Y）与某个检测灯。按照 00、01、10、11 顺序分别将 4、5 脚所连扳手置于不同电平，观察 3 脚所连检测灯亮暗，填入表 3。

注：也可利用其他管脚进行测试。

4、或逻辑功能测试

或门由 74LS00 转换而成，仍由与门+非门构成。

(1) 与非门转换成或门

首先将 1、2、3 脚和 4、5、6 脚分别转换成非门（按照上述方法）——1、3 之间相当于一个非门，4、6 相当于另一个非门。

再将两个非门输出 3、6 脚分别与 13、12、11 脚的与非门（13、12 为输入，11 为输出）输入端 13、12 脚相连，则 1、4、11 之间即为或门（1、4 为输入，11 为输出）。

(2) 按照芯片管脚规定连接电源

一根红色导线将芯片 14 脚与数字箱+5V 相连、一根黑色导线将芯片 7 脚与数字箱⊥连接。

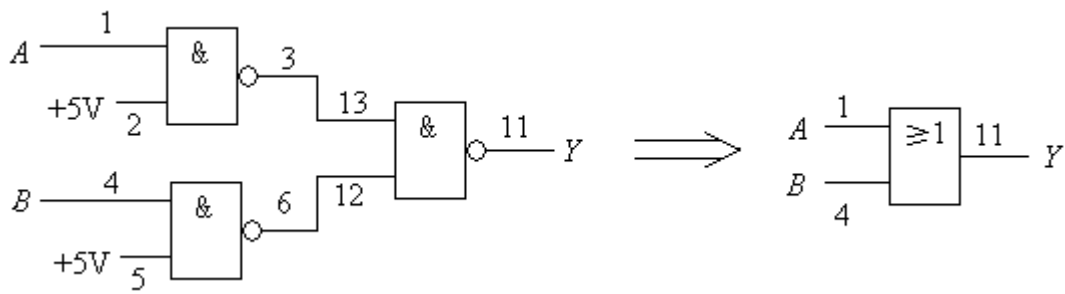


图 8 或门连线示意图

(3) 或功能测试

两根其他颜色导线将芯片 1、4 脚（输入端 A、B）分别与数字箱两个扳手相连，11 脚与某个检测灯（输出端 Y）。按照 00、01、10、11 顺序分别将 4、5 脚所连扳手置于不同电平，观察 3 脚所连检测灯亮暗，填入表 4。

注：也可利用其他管教进行测试。

五、数据处理

根据实验步骤，使输入信号为 0、1，分别对应测试与非逻辑、非逻辑、与逻辑、或逻辑的逻辑功能，将测试结果分别填入表 1、表 2、表 3 和表 4 中。

表 1 与非逻辑功能表

输 入		输 出
A	B	Y
0	0	
0	1	
1	0	
1	1	

表 2 非逻辑功能表

输 入	输 出
A	Y
0	
1	

表 3 与逻辑功能表

输 入		输 出
A	B	Y
0	0	
0	1	
1	0	

1	1	
---	---	--

表 4 或逻辑功能表

输 入		输 出
<i>A</i>	<i>B</i>	<i>Y</i>
0	0	
0	1	
1	0	
1	1	

测试结果应与对应逻辑关系一致。

六、问题思考

- 1、若采用 74LS10（三输入与非门）进行上述转换，应如何连接电路？
- 2、若两输入端与门、两输入端或门的一个输入端接地、另一输入端接方波信号，输出端分别会得到什么波形？
- 3、若两输入端与门、两输入端或门的一个输入端接+5V、另一输入端接方波信号，输出端分别会得到什么波形？

实验二 组合逻辑电路一

一、实验目的

- (1) 掌握组合逻辑电路的特点；
- (2) 熟悉组合逻辑电路的分析设计方法并学会使用门电路来实现组合逻辑功能。

二、实验仪器

数字实验箱、集成片 74LS00

三、实验原理

组合逻辑电路一般是由若干个基本逻辑单元组合而成的，其特点是输出信号仅仅取决于当时的输入信号，而与电路的状态无关。

1、组合逻辑电路设计方法

- (1) 将实际问题进行逻辑抽象，列出真值表；
- (2) 根据真值表得出逻辑式，并根据实际要求化简变换；
- (3) 做出逻辑电路图。

2、一位二进制数大小比较器设计

设计两输入、三输出电路。输入是要进行比较的二进制数，输出是比较的结果。

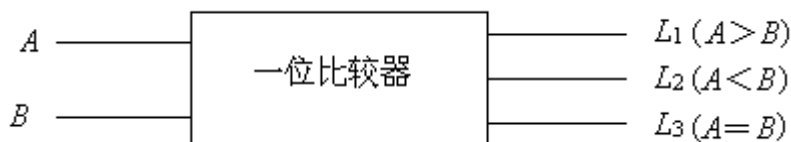


图 1 一位比较器示意框图

(1) 根据要求列出真值表

设A、B为两个一位二进制数，L₁、L₂、L₃非别表示A>B、A<B、A=B，所列真值表如下：

表 1 一位比较器真值表

A	B	L ₁ (A>B)	L ₂ (A<B)	L ₃ (A=B)
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

(2) 根据真值表列出逻辑式

按照真值表和逻辑式关系，列出的逻辑式为：

$$L_1 = A \cdot \bar{B} \quad L_2 = \bar{A} \cdot B \quad L_3 = \bar{A} \cdot \bar{B} + A \cdot B$$

(3) 根据芯片要求变换逻辑式

本次实验提供 2 输入与非门 74LS00 (可变换为非门——实验 1 已做), 为此将上述逻辑式变为与非形式:

$$L_1 = \overline{\overline{A \cdot \bar{B}}} \quad (1)$$

$$L_2 = \overline{\overline{\bar{A} \cdot B}} \quad (2)$$

$$L_3 = \overline{\overline{\bar{A} \cdot \bar{B} + A \cdot B}} = \overline{\overline{\bar{A} \cdot \bar{B}} \cdot \overline{A \cdot B}} \quad (3)$$

(4) 做出逻辑电路

根据上述三个逻辑式, 逻辑电路如图 2 所示:

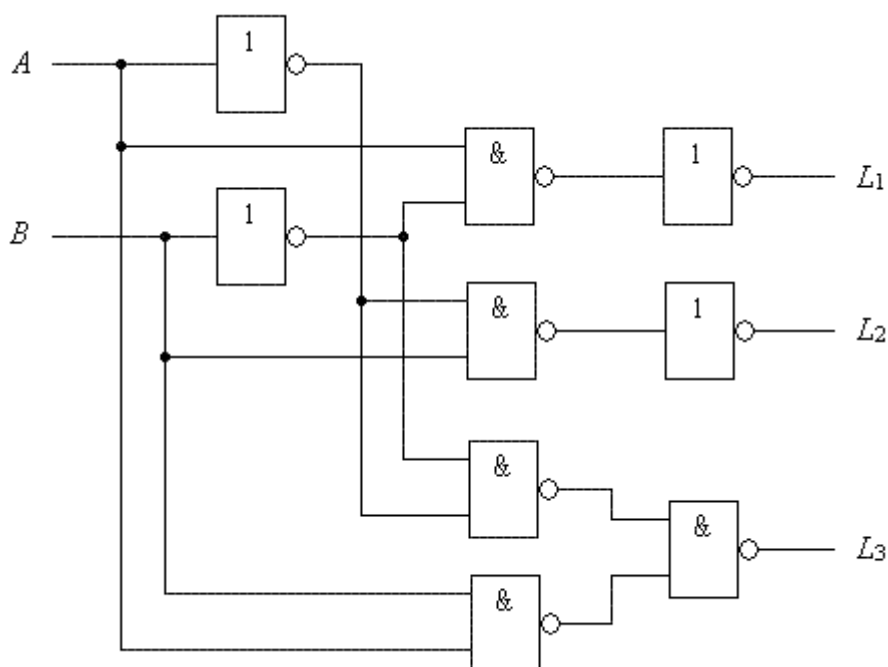


图 2 一位比较器逻辑图

四、实验步骤

设计、连接并测试一位比较器电路。

1、按照要求设计电路

根据组合逻辑电路设计方法及所提供的芯片 (2 输入与非门 74LS00) 设计电路。

(1) 根据要求列出真值表

所列真表表见实验原理部分。

(2) 根据真值表列出逻辑式

$$L_1 = A \cdot \bar{B} \quad L_2 = \bar{A} \cdot B \quad L_3 = \bar{A} \cdot \bar{B} + A \cdot B$$

(3) 根据芯片变换逻辑式

本次实验提供 2 输入与非门 74LS00（可变换为非门——实验 1 已做），为此将上述逻辑式变为：

$$L_1 = \overline{\overline{A \cdot B}} \text{——1 片 74LS00 可实现（用其中 3 个门）}$$

$$L_2 = \overline{\overline{A \cdot B}} \text{——1 片 74LS00 可实现（用其中 3 个门）}$$

$$L_3 = \overline{\overline{A \cdot B} + \overline{A \cdot B}} = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}} \text{——2 片 74LS00 可实现（用其中 5 个门）}$$

实现以上逻辑功能共需 11 个 2 输入与非门（部分需按照实验 1 方法转换为非门），3 片 74LS00 适当连接即可（共有 12 个门）。

2、按照设计连接电路

根据上述三个式子，结合实验 1 的方法（与非门转换成非门），如下连接电路：

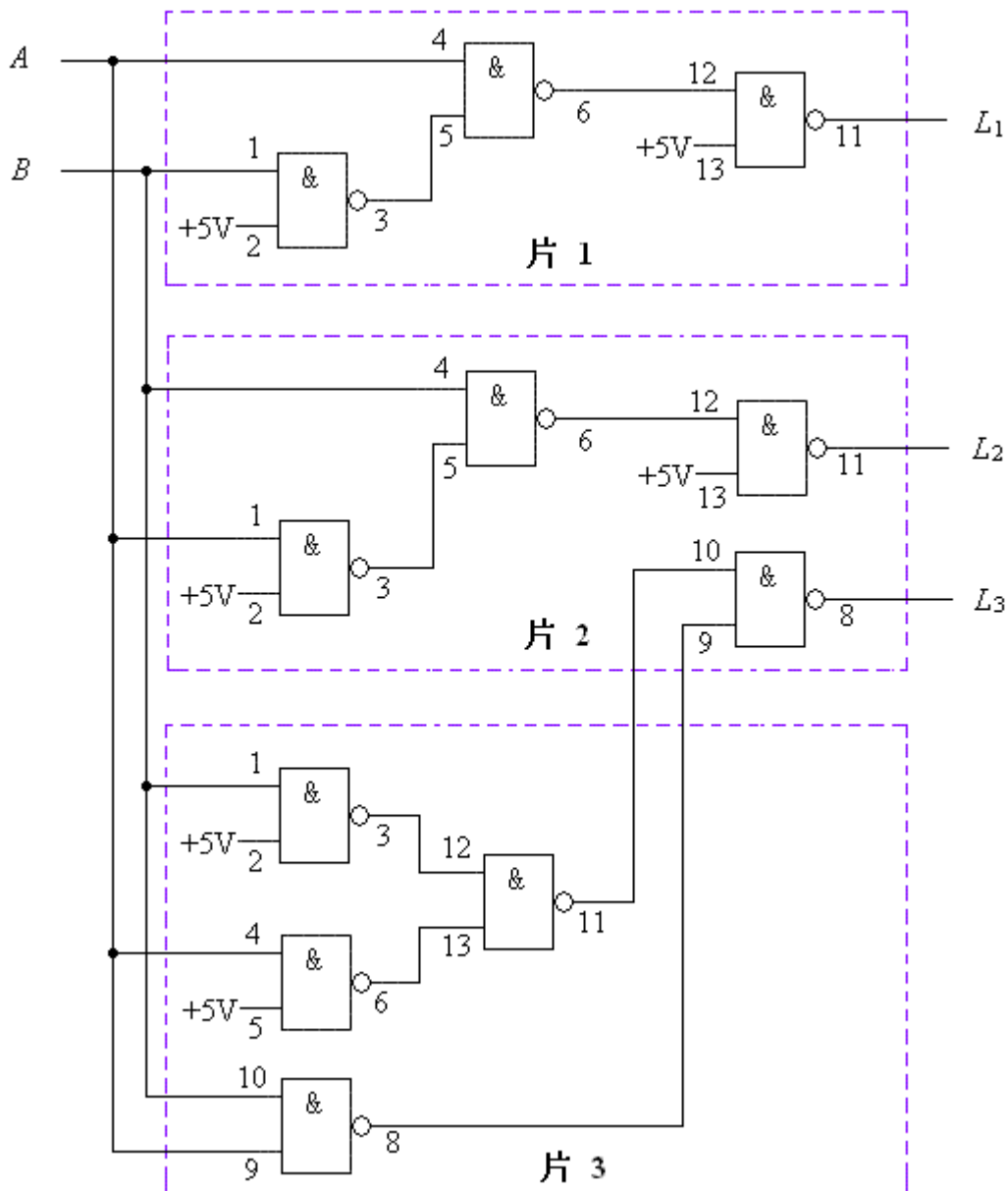


图 3 一位比较器连线图

注意各片电源连接。

注：根据实验所提供芯片类型，也可有其他连接方式。

3、电路性能测试

根据连接的电路，输入端 A 、 B 分别接某 2 个扳手，输出端 L_1 、 L_2 、 L_3 分别接某 3 个检测灯。

控制 A 、 B 高低（4 组取值），检测相应输出，填入表 2。

五、数据处理

根据实验步骤，使输入信号分别为 0、1，测试对应输出，将测试结果分别填入表 2。

表 2 一位比较器电路测试表

A	B	$L_1 (A > B)$	$L_2 (A < B)$	$L_3 (A = B)$
0	0			
0	1			
1	0			
1	1			

测试结果应与实际要求一致。

六、问题思考

- 1、图 3 所示的实验连线图是唯一的吗？
- 2、本实验用到的所有芯片均要连接电源吗？
- 3、若设计正确，连线无误，但实验测试结果与实际不符，分析是什么原因造成的？

实验三 组合逻辑电路二

一、实验目的

- (1) 掌握组合逻辑电路设计方法；
- (2) 进一步熟悉组合逻辑电路的分析方法并学会使用门电路来实现组合逻辑功能。

二、实验仪器

数字实验箱、集成片 74LS00、74LS20

三、实验原理

1、组合逻辑电路设计方法

- (1) 将实际问题进行逻辑抽象，列出真值表；
- (2) 根据真值表得出逻辑式，并根据实际要求化简变换；
- (3) 做出逻辑电路图。

2、交通灯故障判定电路设计

设计三输入、一输出电路。输入是代表红灯、黄灯、绿灯的信号，输出是故障结果。

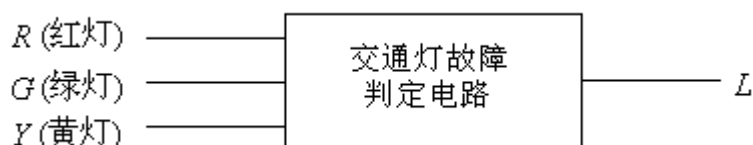


图 1 交通灯故障判定电路框图

(1) 根据要求列出真值表

设 R 、 G 、 Y 分别代表红灯、绿灯、黄灯， L 表示故障。三个交通灯同时只能有一个亮，否则存在故障，则所列真值表如下：

表 1 交通灯故障判定电路真值表

R	G	Y	L
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

按照真值表和逻辑式关系，列出的逻辑式为：

$$L = \bar{R} \cdot \bar{G} \cdot \bar{Y} + RG + GY + RY \quad (1)$$

(3) 根据芯片要求变换逻辑式

本次实验提供 2 输入与非门 74LS00（可变换为非门——实验 1 已做）、3 输入端与非门 74LS20，为此将上述逻辑式变为：

$$\begin{aligned}
 L &= \overline{\overline{R \cdot G \cdot Y}} + \overline{\overline{RG}} + \overline{\overline{GY}} + \overline{\overline{RY}} \\
 &= \overline{\overline{R \cdot G \cdot Y}} + \overline{\overline{RG \cdot GY \cdot RY}} \\
 &= \overline{\overline{R \cdot G \cdot Y}} + \overline{\overline{RG \cdot GY \cdot RY}} \\
 &= \overline{\overline{R \cdot G \cdot Y \cdot RG \cdot GY \cdot RY}} \tag{2}
 \end{aligned}$$

(4) 做出逻辑电路

根据上述逻辑式, 逻辑电路如图 2 所示:

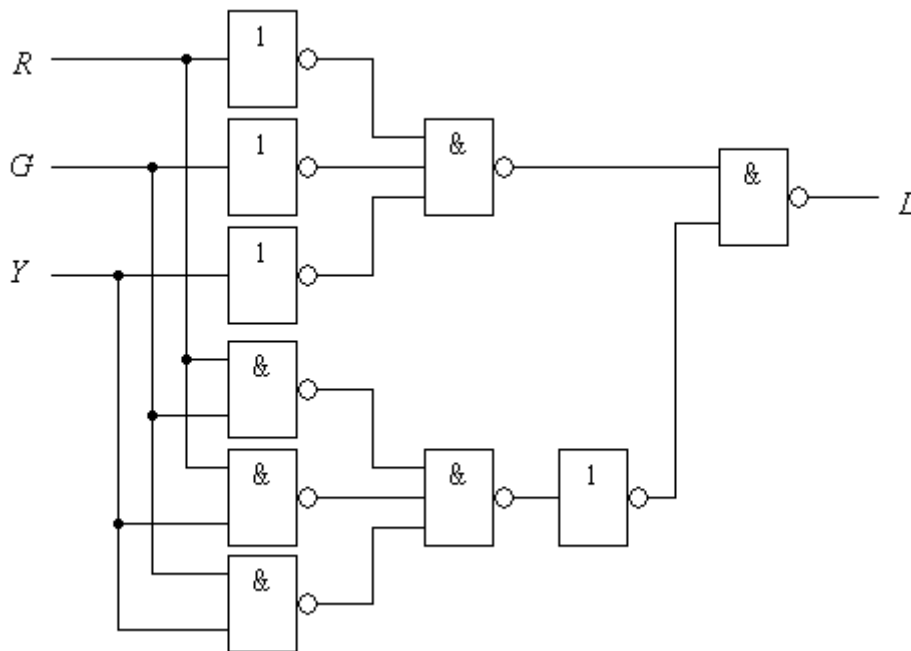


图 2 交通灯故障判定电路逻辑图

(5) 74LS20 芯片结构图

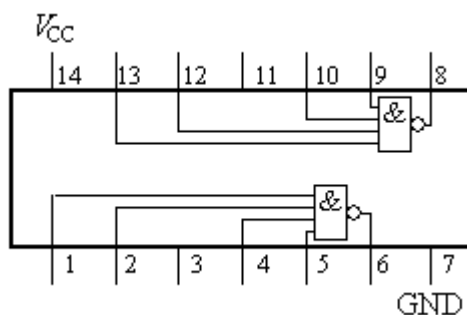


图 3 74LS20 芯片结构图

四、实验步骤

1、按照要求设计红绿灯故障判定电路

根据组合逻辑电路设计方法及所提供的芯片（2 输入与非门 74LS00、3 输入与非门 74LS20）设计电路。

（1）根据要求列出真值表

所列真表表见实验原理部分。

（2）根据真值表列出逻辑式

$$L = \overline{R} \cdot \overline{G} \cdot \overline{Y} + RG + GY + RY$$

（3）根据芯片变换逻辑

本次实验提供 2 输入与非门 74LS00（可变换为非门——实验 1 已做）、3 输入端与非门 74LS20，为此将上述逻辑式变为：

$$L = \overline{\overline{\overline{R} \cdot \overline{G} \cdot \overline{Y}} \cdot \overline{RG} \cdot \overline{GY} \cdot \overline{RY}}$$

实现以上逻辑功能需要 4 个 2 输入与非门、4 个非门、2 个三输入与非门——2 片 74LS00 和 1 片 74LS20 即可实现。

2、按照设计连接电路

根据上述三个式子，结合实验 1 的方法（与非门转换成非门），按照图 4 连接电路。

3、电路性能测试

根据连接的电路，输入端 R 、 G 、 Y 分别接某 3 个扳手，输出端 L 接某个检测灯。模拟控制交通灯，检测输出，填入表 2。

五、数据处理

根据实验步骤，使输入信号分别为 0、1，测试对应输出，将测试结果分别填入表 2。

表 2 交通灯故障判定电路测试表

R	G	Y	L
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

测试结果应与实际要求一致。

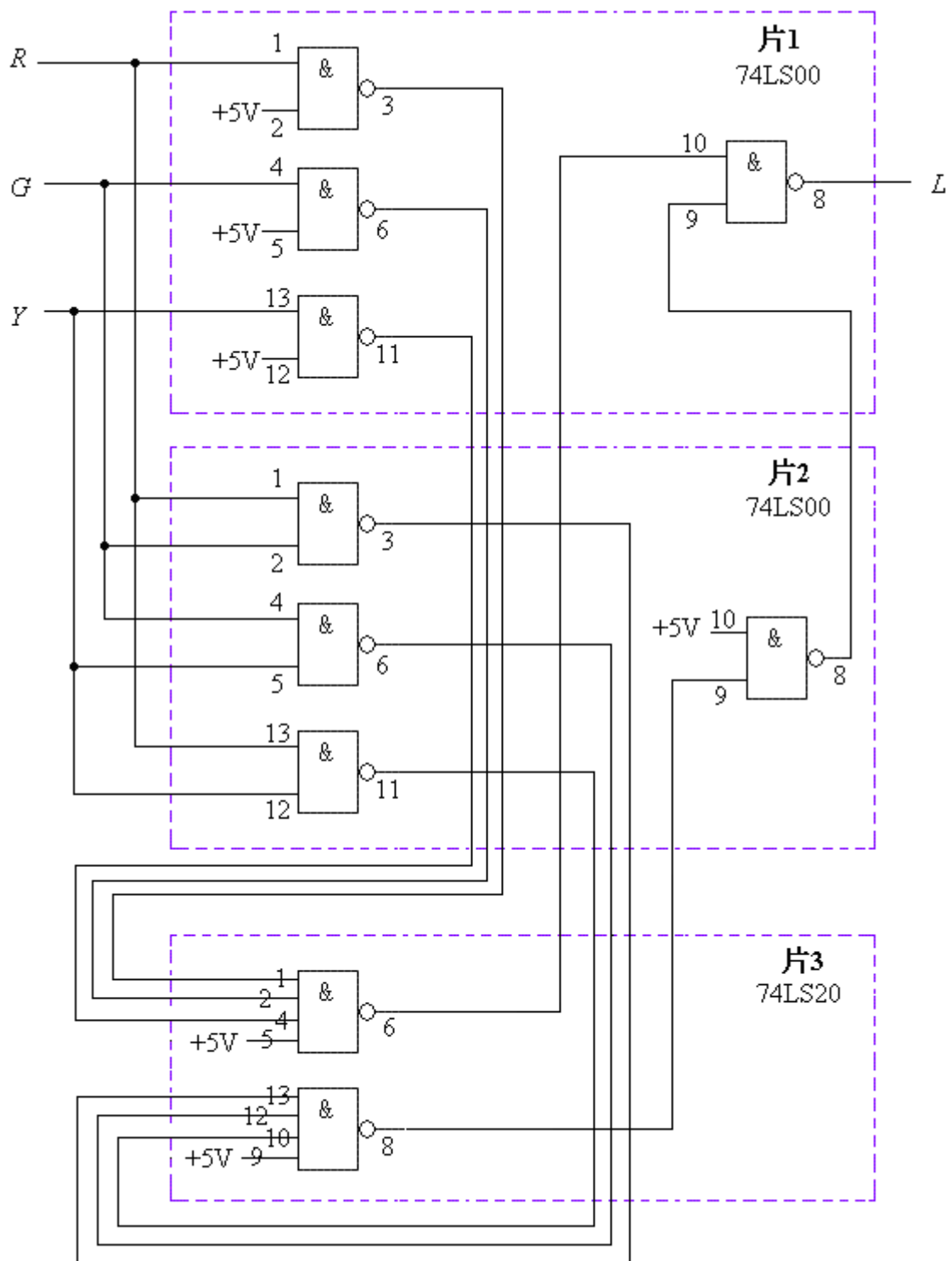


图 4 交通灯故障判定电路连线图

六、问题思考

- 1、若提供 74LS138 芯片，逻辑图及连线图如何？
- 2、还可以用其他芯片实现电路吗？
- 3、为什么要用与非门实现电路？

实验四 译码. 显示电路

一、实验目的

- (1) 掌握译码器和数码管的使用方法;
- (2) 掌握集成电路的级联和测试方法。

二、实验仪器

数字实验箱、集成片 74LS00、74LS48、74LS138

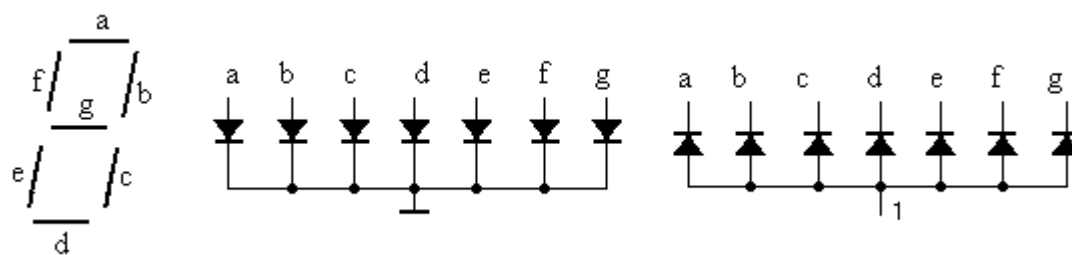
三、实验原理

1、译码器

译码器是将代码翻译成输出信号，以表示原来含义的电路。本实验用到的译码器是将二进制代码译成十进制数的器件。

2、七段数码显示管

七段数码显示管由七段发光二极管 a、b、c、d、e、f、g 构成，分为共阴、共阳两种接法。



(a) 七段数码管

(b) 共阴接法

(c) 共阳接法

图 1 七段发光二极管构成的数码管及其两种接法

适当控制各段亮暗，可显示数码 0—9。其中共阴接法数码管由高电平控制某段发光，其中共阳接法数码管由低电平控制某段发光。

3、七段译码器 74LS48

74LS48 芯片结构图如图 2 所示。

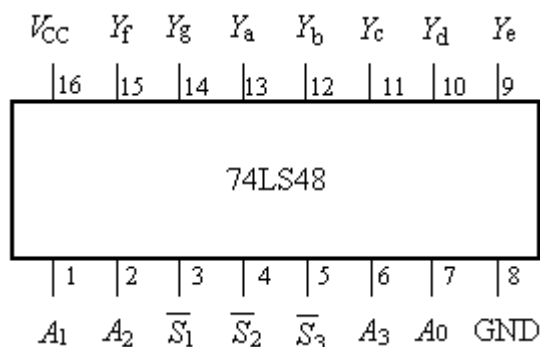


图 2 74LS48 芯片结构图

利用 4 位二进制码 $A_3A_2A_1A_0$ 控制七段输出，并将输出分别与共阴数码管相应管脚相连，可显示出

与二进制码相对应的数码，如表 1 所示。

表 1 74LS48 功能表

控制端			输 入				输 出							显示 字形
$\overline{S_1}$	$\overline{S_2}$	$\overline{S_3}$	A_3	A_2	A_1	A_0	Y_a	Y_b	Y_c	Y_d	Y_e	Y_f	Y_g	
×	0	×	×	×	×	×	0	0	0	0	0	0	0	
0	1	×	×	×	×	×	1	1	1	1	1	1	1	8
1	1	1	0	0	0	0	1	1	1	1	1	1	0	0
1	1	×	0	0	0	1	0	1	1	0	0	0	0	1
1	1	×	0	0	1	0	1	1	0	1	1	0	1	2
1	1	×	0	0	1	1	1	1	1	0	0	0	1	3
1	1	×	0	1	0	0	0	1	1	0	0	1	1	4
1	1	×	0	1	0	1	1	0	1	1	0	1	1	5
1	1	×	0	1	1	0	0	0	1	1	1	1	1	6
1	1	×	0	1	1	1	1	1	0	0	0	0	0	7
1	1	×	1	0	0	0	1	1	1	1	1	1	1	8
1	1	×	1	0	0	1	1	1	0	0	1	1	1	9

4、3 线-8 线译码器 74LS138

74LS138 是 3 线-8 线译码器，其芯片结构图如图 3 所示。

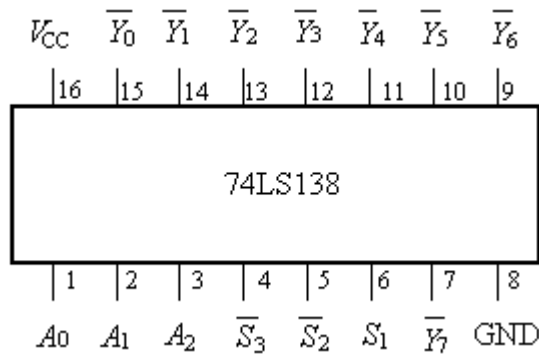


图 3 74LS138 芯片结构图

利用 3 位二进制码 $A_2A_1A_0$ 控制输出，二进制码与输出具有相应关系，如表 2 所示。

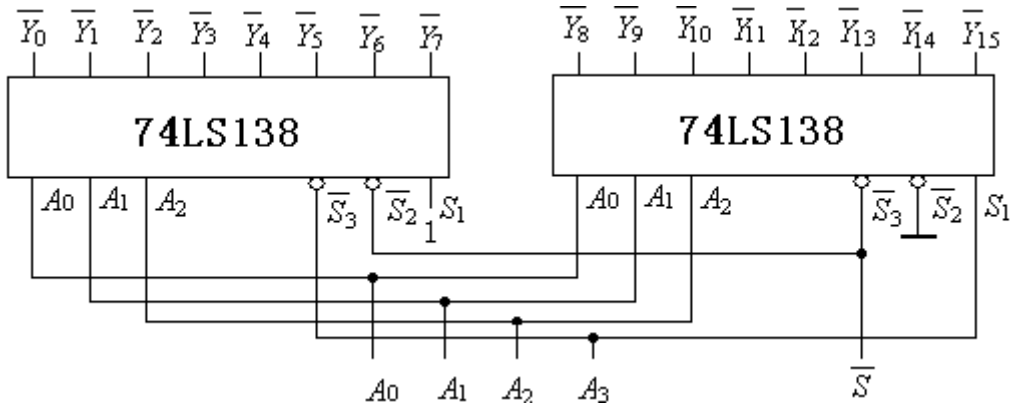


图 4 用 74LS138 构成的 4 线-16 线译码器

当输入二进制码的位数较多时，可把几个二进制译码器级联起来完成译码操作。图 4 所示是两片 74LS138 级联构成的 4 线-16 线译码器。

表 2 74LS138 功能表

控 制		输 入			输 出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

四、实验步骤

1、七段译码器 74LS48 连接及测试

4 位 8421 码输入译码器 74LS48，驱动共阴数码管显示某个数码。

(1) 连接电路

首先处理使能端：3、4、5 脚均接⊥。

然后将 6、7、2、1 脚连接 4 个高低电平扳手（表示 8421 码输入 $ABCD$ ），13、12、11、10、9、15、14 脚分别接共阴数码管的 a、b、c、d、e、f、g 端。

最后连接电源：芯片 16 脚接+5V、8 脚接⊥。

(2) 功能测试

使 $ABCD$ 依次为 0000、0001、…、1001，观察对应共阴数码管显示，填入表 3。

2、3 线 8 线译码器实验

3 位编码输入译码器 74LS138，控制某个检测灯（表示相应数字）亮暗。

(1) 1 片 74LS138 的 3 线-8 线译码功能验证

连接电路

首先处理使能端——4、5 脚均接⊥、6 脚接+5V；然后将 3、2、1 脚连接 3 个高低电平扳手（表示编码输入 ABC ），15、14、13、12、11、10、9、8 脚顺序与 7 个检测灯连接（分别表示翻译成的数字 0、1、2、3、4、5、6、7）；最后连接电源：芯片 16 脚接+5V、8 脚接⊥。

功能测试（20 分）

使 ABC 依次为 000、001、...、111，观察对应检测灯亮暗，将结果填入表 4。

(2) 2 片 74LS138 级联实验)

2 片 74LS138 级联成 4 线-16 线译码器：

片 1 作为低 8 位、片 2 作为高 8 位，如下连接电路：

片 1 的 4 脚和片 2 的 6 脚相连作为 A ，片 1 的 3 脚和片 2 的 3 脚相连作为 B ，片 1 的 2 脚和片 2 的 2 脚相连作为 C ，片 1 的 1 脚和片 2 的 1 脚相连作为 D ，同时 $ABCD$ 作为 4 位编码分别接 4 个扳手；片 1 的 15、14、13、12、11、10、9、8 脚顺序与 7 个检测灯连接（分别表示翻译成的数字 0、1、2、3、4、5、6、7），片 2 的 15、14、13、12、11、10、9、8 脚顺序与 7 个检测灯连接（分别表示翻译成的数字 8、9、10、11、12、13、14、15）；最后连接电源：片 1 和片 2 的 16 脚均接 +5V、片 1 和片 2 的 8 脚均接 $\perp$ 。

(2) 功能测试

将扳手 $ABCD$ 依次为 0000、0001、...、1111，观察对应检测灯亮暗，将结果填入表 5。

五、数据处理

根据实验步骤，使输入信号分别为 0、1，测试对应输出，将测试结果分别填入表 2。

表 3 七段译码器测试表

A	B	C	D	显示数码
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

表 4 3 线-8 线译码器测试表

编码输入			输出情况							
A	B	C	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

表 5 4 线-16 线译码器测试表

编码输入				输出情况															
A	B	C	D	$\overline{Y_{15}}$	$\overline{Y_{14}}$	$\overline{Y_{13}}$	$\overline{Y_{12}}$	$\overline{Y_{11}}$	$\overline{Y_{10}}$	$\overline{Y_9}$	$\overline{Y_8}$	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
0	0	0	0																
0	0	0	1																
0	0	1	0																
0	0	1	1																
0	1	0	0																
0	1	0	1																
0	1	1	0																
0	1	1	1																
1	0	0	0																
1	0	0	1																
1	0	1	0																
1	0	1	1																
1	1	0	0																
1	1	0	1																
1	1	1	0																
1	1	1	1																

六、问题思考

- 1、如果用 74LS48 驱动共阳数码管，应如何连接电路？
- 2、如何用 74LS138 级联成 5 线-32 线译码器？
- 3、利用 74LS138 可实现逻辑函数，试举例说明。

实验五 集成触发器

一、实验目的

- (1) 掌握集成 JK 触发器逻辑功能的测试方法；
- (2) 熟悉并验证触发器的逻辑功能及相互转换方法。

二、实验仪器

数字实验箱、集成片 74LS00、74LS76

三、实验原理

1、集成触发器的基本类型及功能

集成触发器按照逻辑功能分为 RS 触发器、D 触发器、JK 触发器、T 触发器、T' 触发器等。各种触发器的特征方程及功能表如表 1 所示。

表 1 集成触发器

类型	特征方程	功能表	
RS 触发器	$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases}$	S	Q^{n+1}
		0	Q^n
		0	0
		1	1
		1	不定
D 触发器	$Q^{n+1} = D$	D	Q^{n+1}
		0	0
		1	1
JK 触发器	$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$	J	Q^{n+1}
		0	Q^n
		0	0
		1	1
		1	$\overline{Q}^n$
T 触发器	$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$	T	Q^{n+1}
		0	Q^n
		1	$\overline{Q}^n$
T' 触发器	$Q^{n+1} = \overline{Q}^n$	状态每次均翻转	

2、触发器转换

利用 JK 触发器可转换为其它类型触发器。

(1) JK 触发器转换为 D 触发器

只需 $J = D$ ， $K = \overline{D}$ 即可，如图 1 (a) 所示。

(2) JK 触发器转换为 T 触发器

只需 $J = K = T$ 即可，如图 1 (b) 所示。

(3) JK 触发器转换为 T' 触发器

只需 $J = K = 1$ 即可，如图 1 (c) 所示。

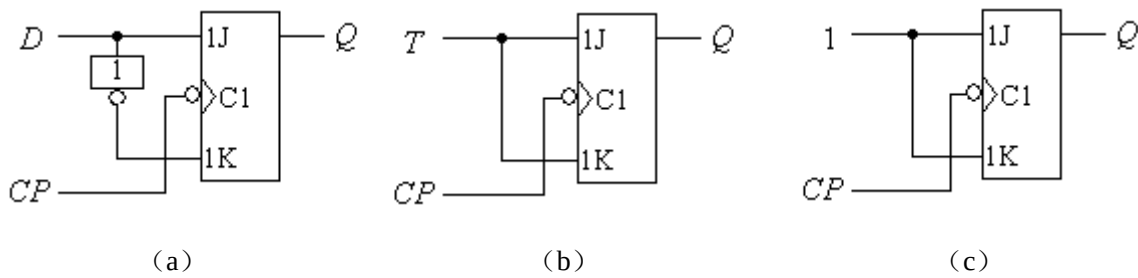


图 1 JK 触发器转换为其他类型触发器

(3) 74LS76 芯片结构图及功能表

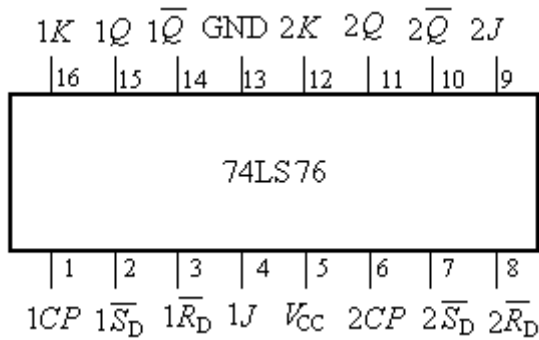


图 2 74LS76 芯片结构图

表 2 74LS76 功能表

输 入				输 出	
置 1	置 0	时钟	J K	Q	
$\overline{S_D}$	$\overline{R_D}$	CP			
0	1	×	×	×	1
1	0	×	×	×	0
0	0	×	×	×	1
1	1	↓	0	0	Q
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	

1	1	1	× ×	$\bar{Q}$ Q
---	---	---	-----	------------------

四、实验步骤

1、JK 触发器功能验证

(1) 连接电路

首先连接预置端：2 脚（置 1 端）、3 脚（置 0 端）分别与两个扳手相连；
 然后连接 JK、Q 端、CP 端（10 分）：4 脚（J 端）、16 脚（K 端）分别与其他两个扳手相连，15 脚（Q 端）与检测灯相连，1 脚（CP 端）与单脉冲按钮相连；
 最后连接电源：5 脚、13 脚分别与+5V、⊥相连。

(2) 功能验证

首先验证置 1 功能：始终保持 3 脚扳手为 1 高电平，使 2 脚扳手短时间为 0、然后保持为 1，完成置 1 任务。此时检测灯亮（ $Q=1$ ）。

再验证置 0 功能：始终保持 2 脚扳手为 1 高电平，使 3 脚扳手短时间为 0、然后保持为 1，完成置 0 任务。此时检测灯暗（ $Q=0$ ）。

最后验证触发器功能：
 初态为 0：置 0 后始终保持 2 脚、3 脚扳手为 1，让 4 脚（J）、16 脚（K）相连的两个扳手分别为 00、01、10、11 时按动一次单脉冲按钮，观察检测灯亮暗情况，填入表 3。
 初态为 1：置 1 后始终保持 2 脚、3 脚扳手为 1，让 4 脚（J）、16 脚（K）相连的两个扳手分别为 00、01、10、11 时按动一次单脉冲按钮，观察检测灯亮暗情况，填入表 3。

2、JK 触发器转换

(1) JK 触发器转换为 D 触发器

首先连线实现转换，如图 3 所示。
 其中的非门由 74LS00 变换实现（实验 1 已做），再使 D 端接某一扳手、Q 端接检测灯、CP 端接单脉冲按钮。

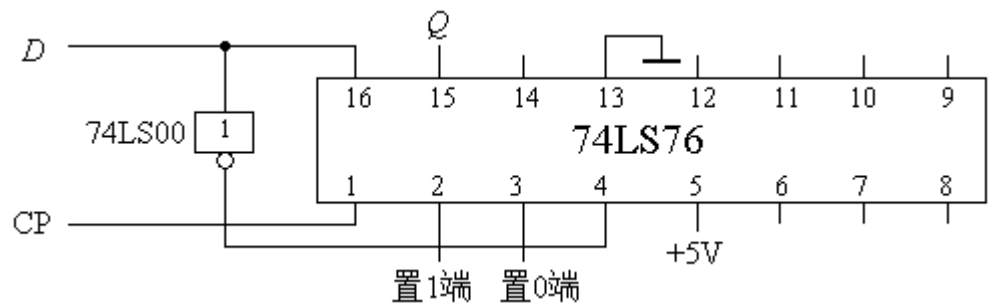


图 3 JK 触发器转换为 D 触发器连线图

然后功能验证（10 分）：让 D 端相连扳手分别为 0、1，观察检测灯亮暗情况，填入表 4。
 (2) JK 触发器转换为 T 触发器

首先连线实现转换，如图 4 所示。

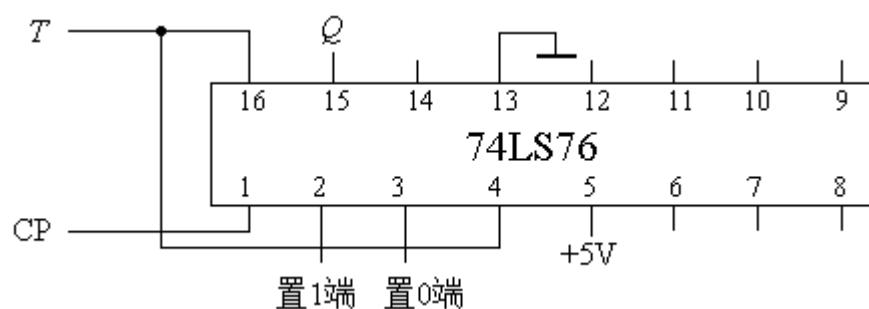


图 4 JK 触发器转换为 T 触发器连线图

使 T 端接某一扳手、Q 端接检测灯、CP 端接单脉冲按钮。

然后功能验证：让 D 端相连扳手分别为 0、1，观察检测灯亮暗情况，填入表 5。

置 1 后始终保持 2 脚、3 脚扳手为 1，让 4 脚（J）、16 脚（K）相连的两个扳手分别为 0、1，观察检测灯亮暗情况，填入表 5。

五、数据处理

根据实验步骤，使输入信号分别为 0、1，操作相应的触发按钮，测试对应输出，将测试结果分别填入表 3、表 4、表 5。

表 3 74LS76 功能测试表

初态	J	K	Q
0	0	0	
	0	1	
	1	0	
	1	1	
1	0	0	
	0	1	
	1	0	
	1	1	

表 4 JK 触发器转变为 D 触发器功能测试表

D	Q
0	
1	

表 5 JK 触发器转变为 T 触发器功能测试表

初态	T	Q
0	0	
	1	
1	0	
	1	

测试结果应与实际要求一致。

六、问题思考

- 1、如何利用 D 触发器转换为 JK 触发器、T 触发器？
- 2、如何将 74LS76 转变为上升沿触发工作？
- 3、74LS76 的置 1 端或置 0 端始终为 0 会带来什么影响？

实验六 可编程计数器

一、实验目的

- (1) 掌握中规模集成计数器 74LS90 的功能。
- (2) 进一步了解 BCD 译码器和共阴极七段显示器。

二、实验仪器

数字实验箱、集成片 74LS90 两片

三、实验原理与参考电路

74LS90 是异步二一五十一进制计数器，它的外引线排列见图 6-1

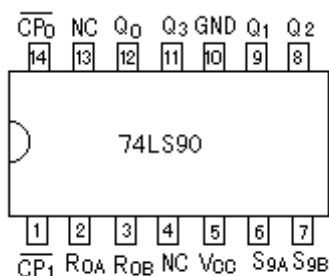


图 6-1 74LS90 外引线排列

其功能表见下表

表 6-1 74LS90 功能表

输 入					输 出			
$\overline{CP}$	R_{0A}	R_{0B}	S_{9A}	S_{9B}	Q_3	Q_2	Q_1	Q_0
X	1	1	0	X	0	0	0	0
X	1	1	X	0	0	0	0	0
X	0	X	1	1	1	0	0	1
X	X	0	1	1	1	0	0	1
↓	X	0	X	0	计数			
↓	0	X	0	X	计数			
↓	0	X	X	0	计数			
↓	X	0	0	X	计数			

从功能表看出：

1. $\overline{CP}$ 是下降沿计数有效。
2. $R_{0A}=R_{0B}=1$ ，同时 S_{9A} 、 S_{9B} 仅有一个为 0，计数清零。
3. $S_{9A}=S_{9B}=1$ ，同时 R_{0A} 、 R_{0B} 仅有一个为 0，计数满（十进制）。
4. R_{0A} 、 R_{0B} 其中一个为 0，同时 S_{9A} 、 S_{9B} 其中一个也为 0，计数。

74LS90 是由二进制及五进制构成的十进制异步计数器，当计数脉冲由 $\overline{CP}_0$ 输入， Q_0 作为输出，构成

二进制计数器（也称二分频电路）；计数脉冲由 $\overline{CP}_1$ 输入， Q_3 、 Q_2 、 Q_1 作为输出，构成五进制计数器，

如果将 Q_0 与 $\overline{CP}_1$ 相连， $Q_3 \cap Q_0$ 作为输出，则构成 8421 码的十进制计数。

四、实验内容

1. 按正确接线方法接线，分别连接成二、五、十进制计数器。
2. 构成十进制计数器时，要根据逢十进一的进位法则，将低位 Q_3 输出作为高位计数脉冲接成两位十进制计数器，并通过数码显示验证计数功能（计数从 0-99）。

五、实验报告要求

8421BCD 计数状态转换表				
计 数 (CP 下降沿数)	输 出			
	Q_3	Q_2	Q_1	Q_0
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				

1. 画出二、五、十进制及两位十进制计数器接线图（不含译码器）。
2. 给出 8421 BCD 码形式的计数状态转换表，填入上表中。

六、思考题

1. 数字钟表分钟的个位是几进制？十位是几进制？
2. 你能设计一个多位十进制加法器计数吗？

实验七 移位寄存器

一、实验目的

- (1) 掌握中规模 4 位双向移位寄存器逻辑功能及使用方法。
- (2) 熟悉移位寄存器的应用——实现数据的串行、并行转换和构成环形计数器。

二、实验仪器

数字实验箱、万用表、74LS194 两片

三、实验原理

1. 移位寄存器概述

移位寄存器是一个具有移位功能的寄存器，是指寄存器中所存的代码能够在移位脉冲的作用下依次左移或右移。既能左移又能右移的称为双向移位寄存器，只需要改变左、右移的控制信号便可实现双向移位要求。根据移位寄存器存取信息的方式不同分为：串入串出、串入并出、并入串出、并入并出四种形式。

2. 74LS194

74LS194 是双向移位寄存器，最高时钟频率为 36MHz，它具有并行输入、并行输出、左移和右移的功能，外引线排列如图 7-1 所示。

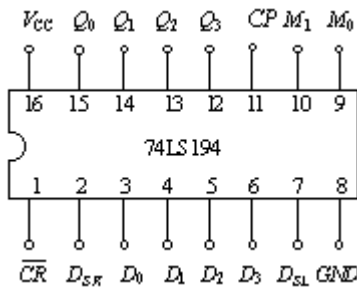


图 7-1 74LS194 的逻辑符号及引脚功能

其中 D_0 、 D_1 、 D_2 、 D_3 为并行输入端； Q_0 、 Q_1 、 Q_2 、 Q_3 为并行输出端； D_{SR} 为右移串行输入端， D_{SL} 为左移串行输入端； M_1 、 M_0 为操作模式控制端； $\overline{CR}$ 为直接无条件清零端； CP 为时钟脉冲输入端。

74LS194 有 5 种不同操作模式：即并行送数寄存，右移（方向由 $Q_0 \sim Q_3$ ），左移（方向由 $Q_3 \sim Q_0$ ），保持及清零。其功能表如表 7-1 所示：

表 7-1

功 能	输 入										输 出			
	CP	$\overline{CR}$	M_1	M_0	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
清除	×	0	×	×	×	×	×	×	×	×	0	0	0	0
送数	↑	1	1	1	×	×	a	b	C	d	a	b	c	d
右移	↑	1	0	1	D_{SR}	×	×	×	×	×	D_{SR}	Q_0	Q_1	Q_2
左移	↑	1	1	0	×	D_{SL}	×	×	×	×	Q_1	Q_2	Q_3	D_{SL}

保持	↑	1	0	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
保持	↓	1	×	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n

表 7-2

CP	Q_0	Q_1	Q_2	Q_3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1

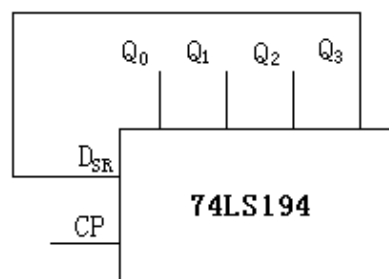


图 7-2 环形计数器

2. 移位寄存器移位寄存器应用很广，可构成移位寄存器型计数器；顺序脉冲发生器；串行累加器。可以作为数据转换，即把串行数据转换为并行数据，或把并行数据转换为串行数据等。本实验研究移位寄存器用作环形计数器和数据的串、并转换。

(1) 环形计数器

把移位寄存器的输出反馈到它的串行输入端，就可以作为循环移位，如图 7-2 示，把输出端 Q_3 和右移串行输入端 D_{SR} 相连接，设初始状态 $Q_0Q_1Q_2Q_3=1000$ ，则在时钟脉冲作用下 $Q_0Q_1Q_2Q_3$ 将依次变为 $0100 \rightarrow 0010 \rightarrow 0001 \rightarrow 1000 \rightarrow \dots$ 如图 7-2 所示，可见它是一个具有四个有效状态的计数器，这种类型的计数器通常称为环形计数器。图 7-2 电路可以由各个输出端输出在时间上有先后顺序的脉冲，因此也可作为顺序脉冲发生器。

如果将输出 Q_0 与左移串行输入端 D_{SL} 相连接，即可实现左移循环移位。

(2) 实现数据串、并转换

① 串行/并行转换器

行/并行转换是指串行输入的数码，经转换电路之后变换成并行输出。图 7-3 是用两片 74LS194 四位双向移位寄存器组成的七位串/并行数据转变电路。

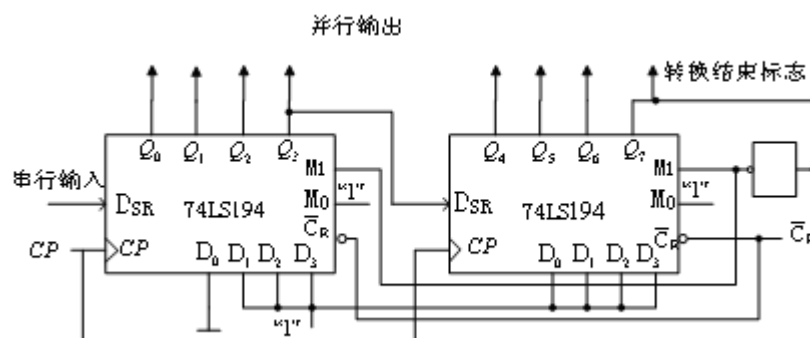


图 7-3 七位串行/并行转换器

路中 M_0 端接高电平 M_1 受 Q_7 控制，两片寄存器连接成串行输入右移工作模式。 Q_7 是转换结束标志。当 $Q_7=1$ 时， M_1 为 0，实际成为 $M_1M_0=01$ 的串入右移工作方式，当 $Q_7=0$ 时， $M_1=1$ ，有 $M_1M_0=10$ ，则串行送数结束，标志着串行输入的数据已经转换成并行输出了。

串行/并行转换的具体过程如下：

转换前， $\overline{CR}$ 端加低电平，使 1、2 两片寄存器的内容清零，此时 $M_1M_0=11$ ，寄存器执行并行输入工作方式。当第一个 CP 脉冲到来后，寄存器的输出状态 $Q_0 \sim Q_7$ 为 01111111，与此同时 M_1M_0 变为 01，转换电路变为执行串入右移工作方式，串行输入数据由 1 片的 D_{SR} 端加入。随着 CP 脉冲的依次加入，输出状况的变化可列表 7-3。

表 7-3 可见，右移操作七次后， Q_7 变为 0， M_1M_0 又变为 11，说明串行输入结束。这时，串行输入的数码已经转换成了并行输出了。

再来一个 CP 脉冲时，电路又重新执行一次并行输入，为第二组串行数码转换做好了准备。

表 7-3

CP	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	说明
0	0	0	0	0	0	0	0	0	清零
1	0	1	1	1	1	1	1	1	送数
2	D_0	0	1	1	1	1	1	1	右移操作七次
3	D_1	D_0	0	1	1	1	1	1	
4	D_2	D_1	D_0	0	1	1	1	1	
5	D_3	D_2	D_1	D_0	0	1	1	1	
6	D_4	D_3	D_2	D_1	D_0	0	1	1	
7	D_5	D_4	D_3	D_2	D_1	D_0	0	1	
8	D_6	D_5	D_4	D_3	D_2	D_1	D_0	0	
9	0	1	1	1	1	1	1	1	送数

②并行/串行转换器

并行/串行转换器是指并行输入的数码经转换电路之后，换成串行输出。

图 7-4 用两片 74LS194 组成的七位并行/串行转换电路，它比图 7-3 多了两只与非门 G_1 和 G_2 ，电路工作方式同样为右移。

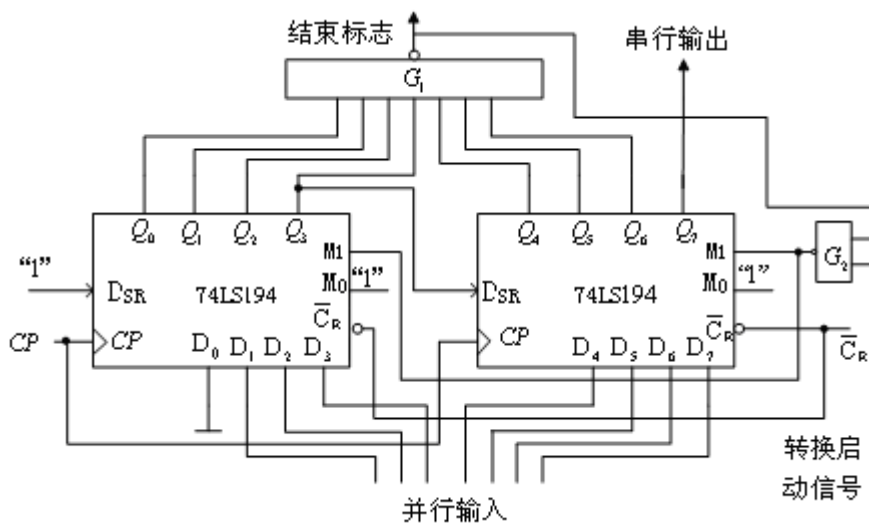


图 7-4 七位并行/串行转换器

寄存器清“0”后，加一个转换启动信号（负脉冲或低电平）。此时，由于方式控制 M_1M_0 为 11，转换电路执行并行输入操作。当第一个 CP 脉冲到来之后， $Q_0Q_1Q_2Q_3Q_4Q_5Q_6Q_7$ 的状态为 $0D_1D_2D_3D_4D_5D_6D_7$ ，并行输入数码存入寄存器。从而使得 G_1 输出为 1， G_2 输出为 0，结果， M_1M_2 变为 01，转换电路随着 CP 脉冲的加入，开始执行右移串行输出，随着 CP 脉冲的依次加入，输出状态依次右移，待右移操作七次后， $Q_0 \sim Q_6$ 的状态都为高电平 1，与非门 G_1 输出为低电平， G_2 门输出为高电平， M_1M_2 又变为 11，表示并/串行转换结束，且为第二次并行输入创造了条件。转换过程如表 7-4 所示。

表 7-4

CP	Q ₀ Q ₁ Q ₂ Q ₃ Q ₄ Q ₅ Q ₆ Q ₇	串行输出
0	0 0 0 0 0 0 0 0	
1	0 D ₁ D ₂ D ₃ D ₄ D ₅ D ₆ D ₇	
2	1 0 D ₁ D ₂ D ₃ D ₄ D ₅ D ₆	D ₇
3	1 1 0 D ₁ D ₂ D ₃ D ₄ D ₅	D ₆ D ₇
4	1 1 1 0 D ₁ D ₂ D ₃ D ₄	D ₅ D ₆ D ₇
5	1 1 1 1 0 D ₁ D ₂ D ₃	D ₄ D ₅ D ₆ D ₇
6	1 1 1 1 1 0 D ₁ D ₂	D ₃ D ₄ D ₅ D ₆ D ₇
7	1 1 1 1 1 1 0 D ₁	D ₂ D ₃ D ₄ D ₅ D ₆ D ₇
8	1 1 1 1 1 1 1 0	D ₁ D ₂ D ₃ D ₄ D ₅ D ₆ D ₇
9	0 D ₁ D ₂ D ₃ D ₄ D ₅ D ₆ D ₇	

中规模集成移位寄存器，其位数往往以 4 位居多，当需要的位数多于 4 位时，可把几片移位寄存器用级连的方法来扩展位数。

四、实验内容

1、测试 74LS194 的逻辑功能

$\overline{CR}$ 、M₁、M₀、D_{SR}、D_{SL}、D₀、D₁、D₂、D₃ 分别接至逻辑开关的输出插口；Q₀、Q₁、Q₂、Q₃ 接至逻辑电平显示输入插口。CP 端接单次脉冲源。按表 7-5 所规定的输入状态，逐项进行测试。

表 7-5

清除	模式		时钟	串行		输入	输出	功能总结		
$\overline{CR}$	M ₁	M ₀	CP	D _{SL}	D _{SR}	D ₀ D ₁ D ₂ D ₃	Q ₀ Q ₁ Q ₂ Q ₃			
0	×	×	×	×	×	×	×	×		
1	1	1	↑	×	×	a b c d				
1	0	1	↑	×	0	×	×	×	×	
1	0	1	↑	×	1	×	×	×	×	
1	0	1	↑	×	0	×	×	×	×	
1	0	1	↑	×	0	×	×	×	×	
1	1	0	↑	1	×	×	×	×	×	
1	1	0	↑	1	×	×	×	×	×	
1	1	0	↑	1	×	×	×	×	×	
1	1	0	↑	1	×	×	×	×	×	
1	0	0	↑	×	×	×	×	×	×	

(1) 清除：令 $\overline{CR}=0$ ，其他输入均为任意态，这时寄存器输出 Q₀、Q₁、Q₂、Q₃ 应均为 0。清除后，置 $\overline{CR}=1$ 。

(2) 送数：令 $\overline{CR}=M_1=M_0$ ，送入任意 4 位二进制数，如 D₀D₁D₂D₃=abcd，加 CP 脉冲，观察 CP=0、CP 由 0→1、CP 由 1→0 三种情况下寄存器输出状态的变化，观察寄存器输出状况变化是否发生在 CP 脉冲的上升沿。

(3) 右移：清零后，令 $\overline{CR}=1$ ，M₁=0，M₀=1 由右移输入端 D_{SR} 送入二进制数码如 0100，由 CP 端连续加 4 个脉冲，观察输出情况，记录之。

(4) 左移：先清零或预置，再令 $\overline{CR}=1$ ，M₁=1，M₀=0，由左移输入端 D_{SL} 送入二进制数码如 1111，连续加四个 CP 脉冲，观察输出端情况，记录之。

(5) 保持：寄存器预置任意 4 位二进制数码 abcd，令 $\overline{CR}=1$ ，M₁=M₀=0 加 CP 脉冲，观察寄存器输出状态，记录制。

2、环形计数器

自拟实验线路用并行送数法预置寄存器为某二进制数码（如 0100），然后进行右移循环，观察寄存器输出端状态的变化，记入表 7-6 中。

表 7-6

CP	Q ₀	Q ₁	Q ₂	Q ₃
0	0	1	0	0
1				
2				
3				
4				

3、实现数据的串、并转换

串行输入、并行输出

按图 7-3 接线，进行右移串行输入、并行输出实验，串入数码自定；

五、数据处理

1. 分析表 7-4 的实验结果，总结移位寄存器 74LS194 的逻辑功能并写入表格功能总结一栏中。
2. 根据实验内容 2 结果，画出 4 位环形计数器的状态转换图。
3. 分析串/并、所的结果的正确性。

六、思考题

1. 若进行循环左移，应如何接线？
2. 使寄存器清零，除采用 $\overline{C_R}$ 输入低电平外，可否采用右移或左移的方法？可否使用并行送数法？

若可行，如何进行操作？

实验八 555 集成定时器的使用

一、实验目的

- (1) 熟悉 555 集成定时器的电路结构、工作原理及其特点。
- (2) 掌握 555 集成定时器的基本应用。

二、实验仪器

数字实验箱、示波器、信号发生器、万用表、555 一片、

三、实验原理

555 集成定时器是模拟功能和数字逻辑功能相结合的一种双极型中规模集成电路，应用十分广泛。它是一种产生时间延迟和多种脉冲信号的电路，由于内部电压标准使用了三个 $5k\Omega$ 电阻，故取名 555 电路。其电路类型有双极型和 CMOS 型两大类，二者的结构与工作原理类似。几乎所有的双极型产品型号最后的三位数码都是 555 或 556；所有的 CMOS 产品型号最后四位数码都是 7555 或 7556，二者的逻辑功能和引脚排列完全相同，易于互换。555 和 7555 是单定时器。556 和 7556 是双定时器。双极型的电源电压 $V_{CC}=+5V\sim+15V$ ，输出的最大电流可达 $200mA$ ，CMOS 型的电源电压为 $+3V\sim+18V$ 。

1. 555 集成定时器的工作原理

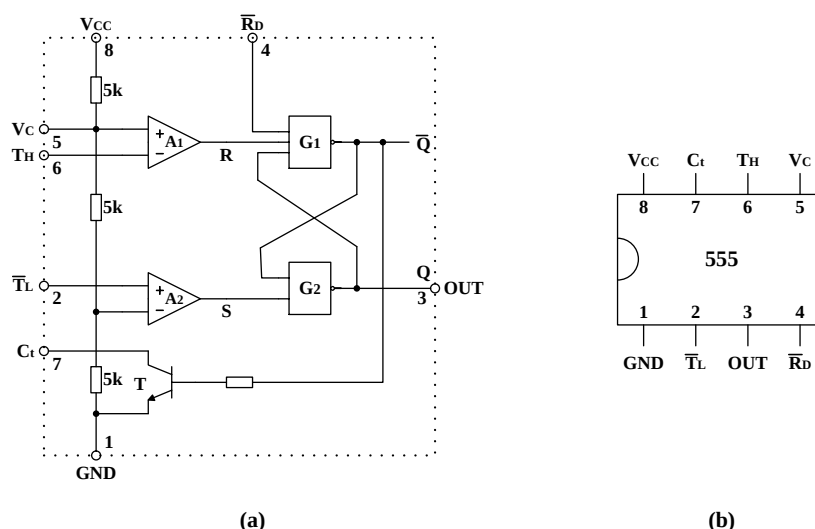


图 8-1 555 集成定时器内部电路原理框图及引脚排列

555 集成定时器内部电路原理框图如图 8-1 所示。它是由两个电压比较器、三个 $5k\Omega$ 电阻、一个 RS 触发器，一个放电三极管以及功率输出级组成。比较器的参考电压由三只 $5k\Omega$ 的电阻构成分压器提供。它们分别使高电平比较器 A1 的同相输入端和低电平比较器 A2 的反相输入端的参考电平为 $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$ 。A1 与 A2 输出端控制 RS 触发器的状态和放电三极管的状态。

当 TH 的电压大于 V_{R1} ， $\overline{T_L}$ 的电压大于 V_{R2} 时，比较器 A1 的输出 $VA1=0$ （即 $R=0$ ）、比较器 A2 的输出 $VA2=1$ （即 $S=1$ ），基本 RS 触发器被置 0，输出 $V_{OUT}=0$ 。

当 TH 的电压小于 V_{R1} ， $\overline{T_L}$ 的电压小于 V_{R2} 时，比较器 A1 的输出 $VA1=1$ （即 $R=1$ ）、比较器 A2 的输出 $VA2=0$ （即 $S=0$ ），基本 RS 触发器被置 1，输出 $V_{OUT}=1$ 。

当 TH 的电压小于 V_{R1} ， $\overline{T_L}$ 的电压小于 V_{R2} 时，比较器 A1 的输出 $VA1=1$ （即 $R=1$ ）、比较器

A2 的输出 $VA2=0$ (即 $S=0$)，基本 RS 触发器被置 1，输出 $V_{OUT}=1$ 。

当基本的 RS 触发器被置 1 时，三极管 T 截止；基本 RS 触发器被置 0 时，三极管 T 导通，可以为外接电容提供一个接地的放电回路，故 T 的集电极输出称为放电端。

$\overline{R}_D$ (4 脚) 是复位端，当 $\overline{R}_D=0$ ， $V_{OUT}=0$ 。

V_C 是控制电压端，平时输出 $\frac{2}{3} V_{CC}$ 作为比较器 A1 的参考电平，当 5 脚外接输入电压，即改变了比较器的参考电压，从而实现对输出的另一种控制，在不接外加电压是，通常接一个 $0.01 \mu F$ 的电容器到地，起滤波作用，以消除外来的干扰，以确保参考电平的稳定。

555 集成定时器主要是与电阻、电容构成充放电，并由两个比较器来检测电容器上的电压，以确定输出电平的高低和放电三极管的通断。这就很方便地构成从微秒到数十分钟的延时电路，可方便地构成单稳态触发器，多谐振荡器，施密特触发器等脉冲产生或波形变换电路。

2. 555 集成定时器的典型应用

(1) 构成单稳态触发器

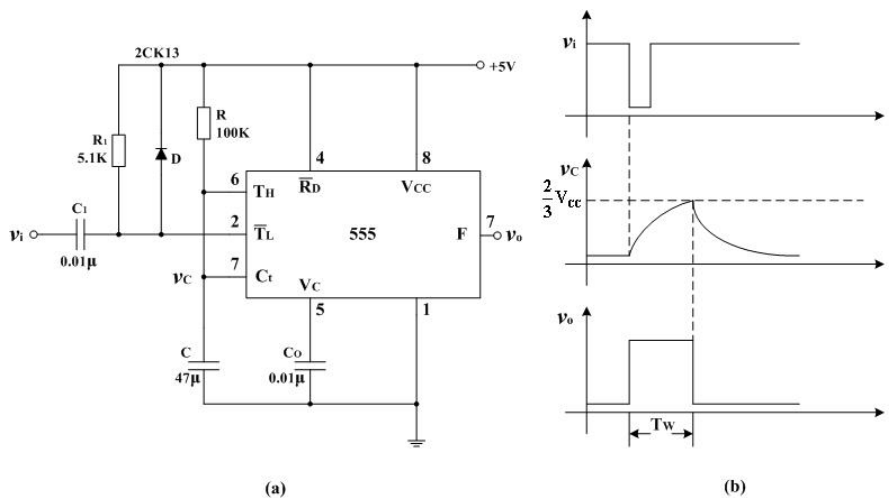


图 8-2 单稳态触发器

图 8-2 (a) 为由 555 集成定时器和外接定时元件 R、C 构成的单稳态触发器、触发电路由 C_1 、 R_1 、 D 构成，其中 D 为钳位二极管，稳态时 555 电路输入端处于电源电平，内部放电三极管 T 导通，输出端 F 输出低电平，当有一个外部负脉冲触发信号经 C_1 加到 2 端。并使 2 端电位瞬时低于 $\frac{1}{3} V_{CC}$ ，低电平比较器动作，单稳态电路开始一个暂态过程，放电三极管 T 截止，电容 C 开始充电， v_C 按指数规律增长。当 v_C 充电到 $\frac{2}{3} V_{CC}$ 时，高电平比较器动作，比较器翻转，输出 VO 从高电平返回低电平，放电三极管 T 重新导通，电容 C 上的电荷很快经放电三极管放电，暂态结束，恢复稳态，为下个触发脉冲的到来做好准备。波形如图 8-2 (b) 所示。

暂稳态的持续时间 T_W (即为延时时间) 决定于外接元件 R、C 值的大小。

$$T_W = RC \ln 3 = 1.1RC$$

通过改变 R、C 的大小，可使延时时间在几十个微秒到几十分钟之间变化。当这种单稳态电路作为计时器时，可直接驱动小型继电器，并可以使用复位端 (4 脚) 的方法来中止暂态，重新计时。此外尚须用一个续流二极管与继电器线圈并接，以防继电器线圈反电动势损坏内部功率管。

(2) 构成多谐振荡器

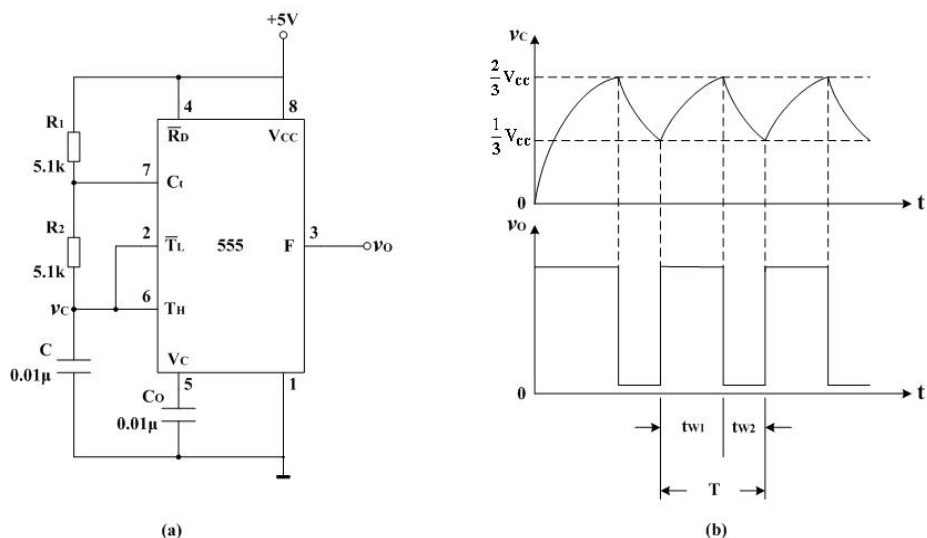


图 8-3 多谐振荡器

如图 8-3 (a)，由 555 定时器和外接元件 R_1 、 R_2 、 C 构成多谐振荡器，脚 2 与脚 6 直接相连。电路没有稳态，仅存在两个暂稳态，电路也不需要外加触发信号，利用电源通过 R_1 、 R_2 向 C 充电，以及 C 通过 R_2 向放电端 C_t 放电，使电路产生振荡。电容 C 在 $\frac{1}{3}V_{CC}$ 和 $\frac{2}{3}V_{CC}$ 之间充电和放电，其波形如图 8-3 (b) 所示。输出信号的时间参数是

$$T = t_{w1} + t_{w2}, \quad T = 0.7(R_1 + R_2)C, \quad t_{w2} = 0.7R_2C$$

555 电路要求 R_1 与 R_2 均应大于或等于 $1k\Omega$ ，但 $R_1 + R_2$ 应小于或等于 $3.3M\Omega$ 。外部元件的稳定性决定了多谐振荡器的稳定性，555 集成定时器配以少量的元件即可获得较高精度的振荡频率和具有较强的功率输出能力。因此这种形式的多谐振荡器应用很广。

(3) 组成占空比可调的多谐振荡器

电路如图 8-4 所示，它比 8-3 所示的电路增加了一个电位器和两个导引二极管。D1、D2 用来决定充、放电电流流经电阻的途径（充电时 D1 导通，D2 截止；放电时 D2 导通，D1 截止）。

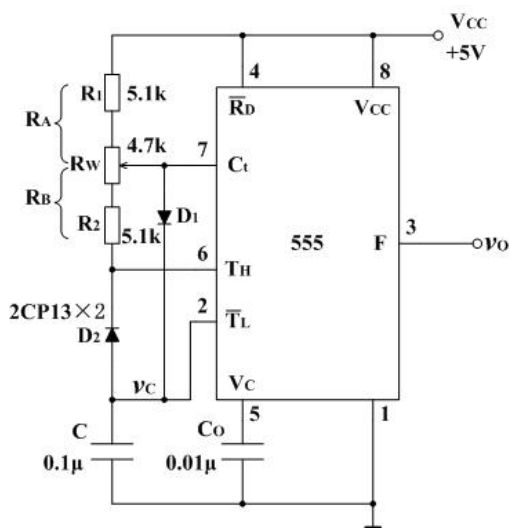


图 8-4 占空比可调的多谐振荡器

$$\text{占空比} = \frac{t_{w1}}{t_{w1} + t_{w2}} \approx \frac{0.7R_A C}{0.7C(R_A + R_B)} = \frac{R_A}{R_A + R_B}.$$

可见，若取 $R_A = R_B$ 电路即可输出占空比为 50% 的方波信号。

(4) 组成占空比连续可调并能调节振荡频率的多谐振荡器

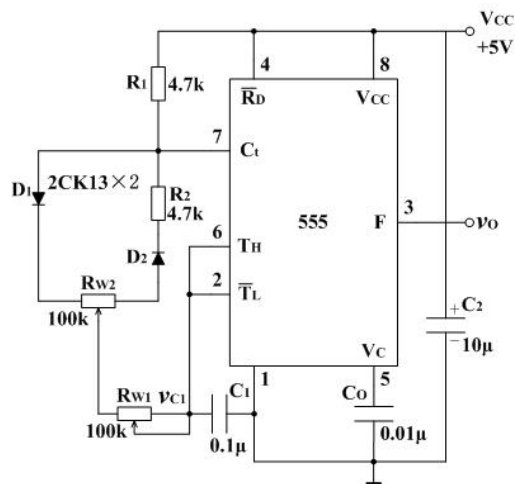


图 8-5 占空比与频率均可调的多谐振荡器

电路如图 8-5 所示，对 C_1 充电时，充电电流通过 R_1 、 D_1 、 R_{W2} 和 R_{W1} ；放电时电流通过 R_{W1} 、 R_{W2} 、 D_2 、 R_2 。当 $R_1=R_2$ 、 R_{W2} 调至中心点，因充放电时间基本相等，其占空比约为 50%，此时调节 R_{W1} 仅改变频率，占空比不变。如 R_{W2} 调至偏离中心点，再调节 R_{W1} ，不仅频率改变，而且对占空比也有影响。 R_{W1} 不变，调节 R_{W2} ，仅改变占空比，对频率无影响。因此，当接通电源后，应首先调节 R_{W1} 使频率至规定值，再调节 R_{W2} ，以获得需要的占空比。若频率调节的范围比较大，还可以用波段开关改变 C_1 的值。

(5) 组成施密特触发器

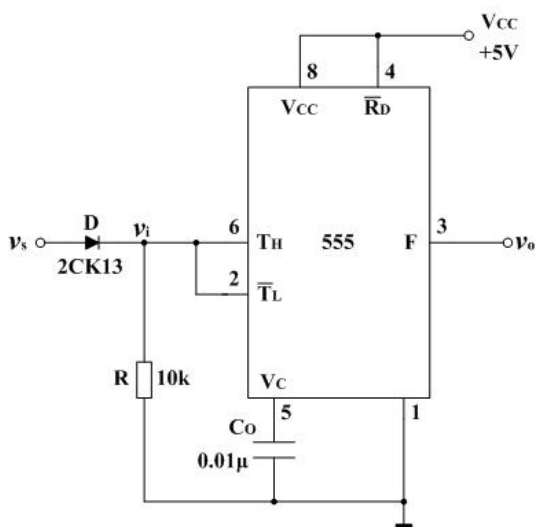


图 86 施密特触发器

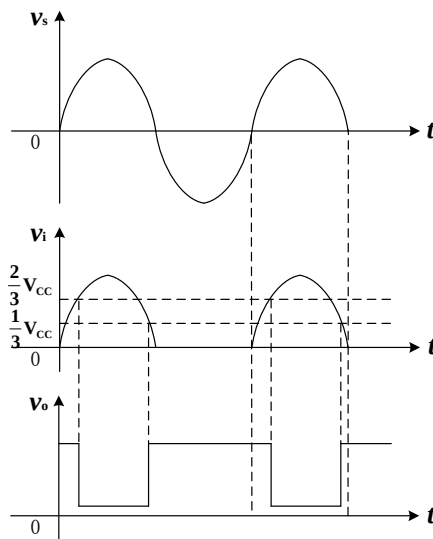


图 8-7 波形变换图

电路如图 8-6 所示，只要将脚 2、6 连在一起作为信号输入端，即得到施密特触发器，图 8-7 给出了 v_s 、 v_i 和 v_o 的波形图。

设被整形变换的电压为正弦波 v_s ，其正半波通过二极管 D 同时加到 555 集成定时器的 2 脚和 6 脚，得到 v_i 为半波整形波形。当 v_i 上升到 $\frac{2}{3} V_{CC}$ 时， v_o 从高电平翻转为低电平；当 v_i 下降到 $\frac{1}{3} V_{CC}$ 时， v_o 又从低电平翻转为高电平。电路的电压传输特性曲线如图 8-8 所示。

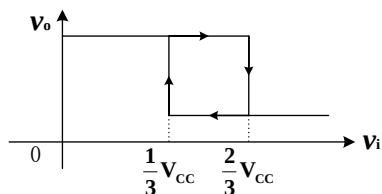


图 8-8 电压传输特性

回差电压

$$\Delta V = \frac{2}{3} V_{CC} - \frac{1}{3} V_{CC} = \frac{1}{3} V_{CC}$$

四、实验内容

1、构成单稳态触发器

电容选用数字箱中缝位置的三个电容（一般大于 1000PF），电阻用数字箱可变电阻（一般取 1K~10M）。接通电源，加入输入信号，调节可变电阻使示波器上显示清晰的波形，观察 u_i 、 u_C 、 u_O 的波形，比较他们的时序关系，绘出波形，在图中标出周期、幅值和脉宽。并和理论值比较（ $t_W = RC \ln 3 \approx 1.1RC$ ）

2、构成多谐振荡器

电容选用数字箱中缝位置的三个电容（一般大于 1000PF），电阻用数字箱可变电阻（一般取 1K~10M）。接通电源，用示波器观察并绘出 u_C u_O 的波形，并在图中标出周期、幅值和 T_{W1} 和 T_{W2} ，并和理论值 $[T_W = t_{W1} + t_{W2} = 0.7 (R_1 + 2R_2) C]$ 比较。

五、实验内容

- 1、绘出详细的实验线路图，定量绘出观测到的波形。
- 2、分析、总结实验结果。

六、思考题

- 1、在内容 1 中，要想改变占空比系数，必需改变那些电路参数？
- 2、试设计一个过压报警器，用发光二极管报警，当工作电压超过 10V(含 10V)时，发光二极管闪烁，闪烁频率为 2HZ。

实验九 传输门的使用

一、实验目的

- (1) 掌握 CMOS 传输门 CC4016 的功能和使用。
- (2) 用传输门构成程控脉冲振荡器。

二、实验仪器

数字实验箱、信号发生器、毫伏表、示波器、集成片 CC4016、CC4001 10K 和 1K 电阻各一个

三、实验原理

1. 传输门基本原理

所谓传输门 (TG) 就是一种传输模拟信号的模拟开关。CMOS 传输门由一个 P 沟道和一个 N 沟道增强型 MOS 管并联而成, 如图 9-1 是它的代表符号。 T_p 和 T_N 是结构对称的器件, 它们漏极和源极是可互换的。设输入模拟信号的变化范围为 -5V 到 +5V。为使衬底与漏源极之间的 PN 结任何时刻都不致正偏, 故 T_p 的衬底接 +5V 电压, 而 T_N 的衬底接 -5V 电压。两管的栅极由互补的信号电压 (+5V 和 -5V) 来控制分别用 $\bar{c}$ 表示。

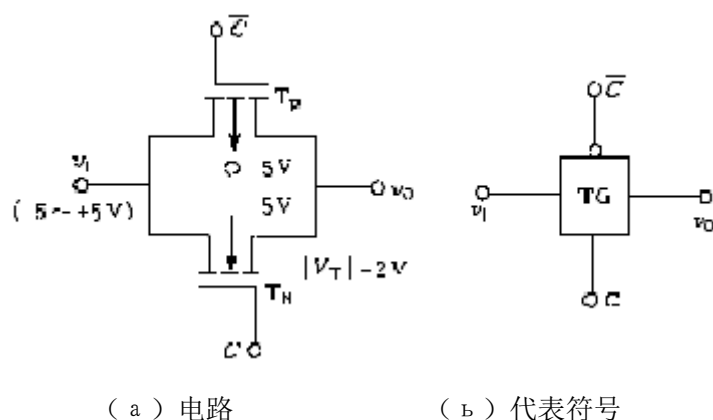


图 9-1 CMOS 传输门

传输门的工作情况如下: 当 c 端接低电平 (-5V) 时, T_N 的栅压为 -5V, v_i 在 -5V 到 +5V 范围内的任意值, T_N 均不导通。同时, T_p 的栅压为 +5V, v_i 在 -5V 到 +5V 范围内的任意值, T_p 亦均不导通。可见, 当 c 端接低平时, 开关是断开的。

为使开关接通, 可将 c 端接高电平 (+5V)。此时 T_N 的栅压为 +5V, v_i 在 -5V 到 +3V 的范围内, T_N 导通。同时, T_p 的栅压为 -5V, v_i 在 -3V 到 +5V 的范围内 T_p 将导通。

由上分析可知，当 $v_I < -3V$ 时，仅有 T_N 导通，而当 $v_I > +3V$ 时，仅有 T_P 导通。当 v_I 在 $-3V$ 到 $+3V$ 的范围内， T_N 和 T_P 两管均导通。进一步分析还可看到，一管导通的程度愈深，另一管的导通程度则相应地减小。换句话说，当一管导通电阻减少，则另一管的导通电阻就增加。由于两管系并联运行，可近似认为开关的导能电阻近似为一常数。这是 CMOS 传输门的优点。图 9-2 为 CC4016 的逻辑图和外引线排列图。

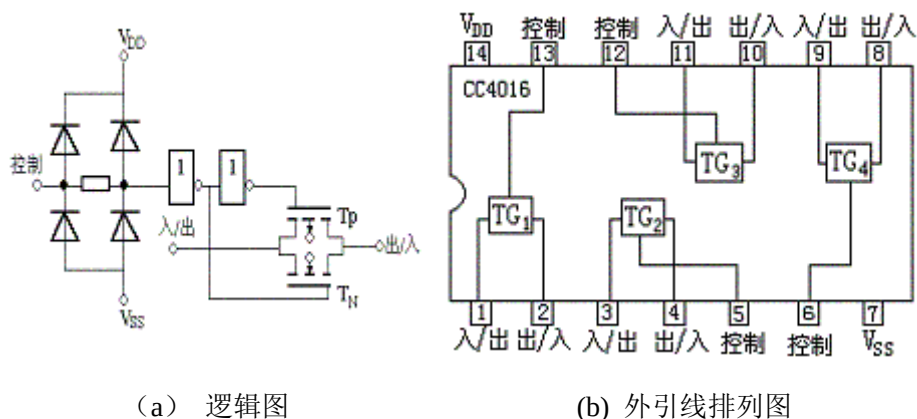


图 9-2 四联双向开关 CC4016

2. 传输门的应用

(1) 门控振荡器如图 9-3 所示，当 c 为“1”时，TG 导通电路振荡， v_o 输出矩形波；当 c 为“0”时，TG 截止，电路停止振荡。

(2) 程控脉冲振荡器如果要获得不同频率矩形波可采用如图 9-4 所示的电路，只要对 A、B、C 加入不同的电平控制，即可获得不同频率的矩形波。

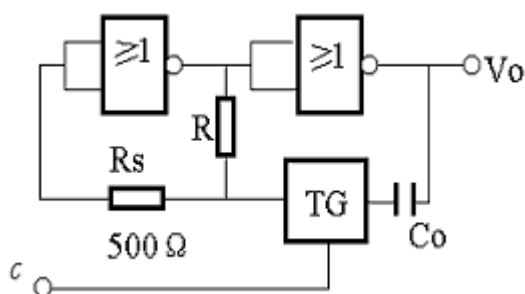


图 9-3 门控振荡器

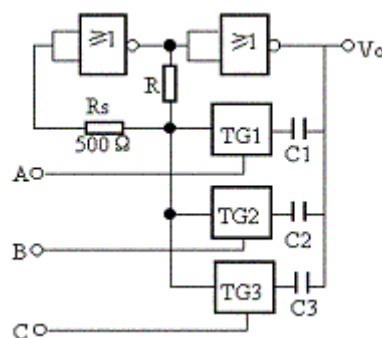


图 9-4 程控脉冲振荡器

(3) 程控运算放大器

传输门可以传输数字信号，也可以传输模拟信号，在运算放大器的反馈部分采用程控方式，可以改变放大器的电压放大倍数。如图 9-5 程控放大器

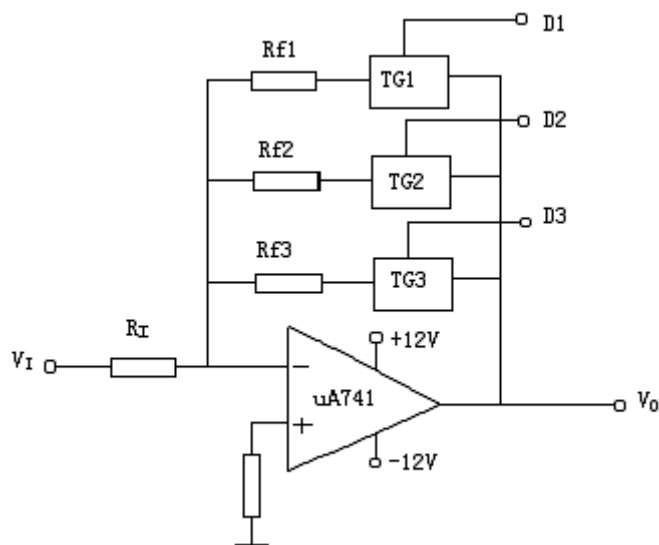


图 9-5 程控放大器

四、实验内容

1. CC4016 功能测试，分两种情况测试：在 $V_{DD} = +5V$ ， $V_{SS} = -5V$ 和 $V_{DD} = +5V$ ， $V_{SS} = 0V$ 输入 $v_I = 50mV$ ， $f = 1kHz$ 的正弦波时，分别观察 CC4016 的双向开关功能；并绘出波形图。
2. 程控振荡器
参程控振荡器连接电路，改变 A、B、C 的电平，用示波器观察 V_O 的输出波形并列表记录。

五、数据处理

1. 绘制出不同电源时传输门的电压波形；
2. 根据内容 2，改变 A、B、C 的电平，记录不同的输出电压频率

六、思考题

1. 输入信号幅值在什么范围内输入输入保护电路不易损坏？
2. CMOS 芯片闲置输入端可以悬空吗？

实验十 模—数转换器

一、实验目的

1. 熟悉模-数转换的工作原理
2. 学会使用集成模-数转换器 ADC0804

二、实验器材

1. 数字电路实验箱、示波器、万用表
2. 集成电路 ADC0804、电阻、电容若干

三、实验原理与参考电路

1. 概述

模-数转换器（简称 A/D 转换器，ADC）用来将模拟量转换成数字量。N 位模-数转换器输出 n 位二进制数，它正比于加在输入端的模拟电压。实现模数转换的方法有很多，常用的有并/串型 ADC、逐次逼近型 ADC 和双积分型 ADC 等。串/并型 ADC 速度最快，但成本也高，且精度不易做高；双积分型 ADC 精度高，抗干扰能力强，但速度太慢，适合转换缓慢变化的信号；逐次逼近型 ADC 有较高的转换精度、工作速度中等，成本低等优点，因此获得广泛引用。

2. ADC0804 原理

ADC0804 是单片 CMOS8 位逐次逼近型 A/D 转换器，与 8 位微机兼容，其三态输出可以直接驱动数据总线，输入电压可调，含内部时钟发生器，原理框图如图 10-1 所示，主要组成部分有：D/A 转换器、逐次逼近寄存器、移位寄存器、比较器、时钟发生器和控制电路等。

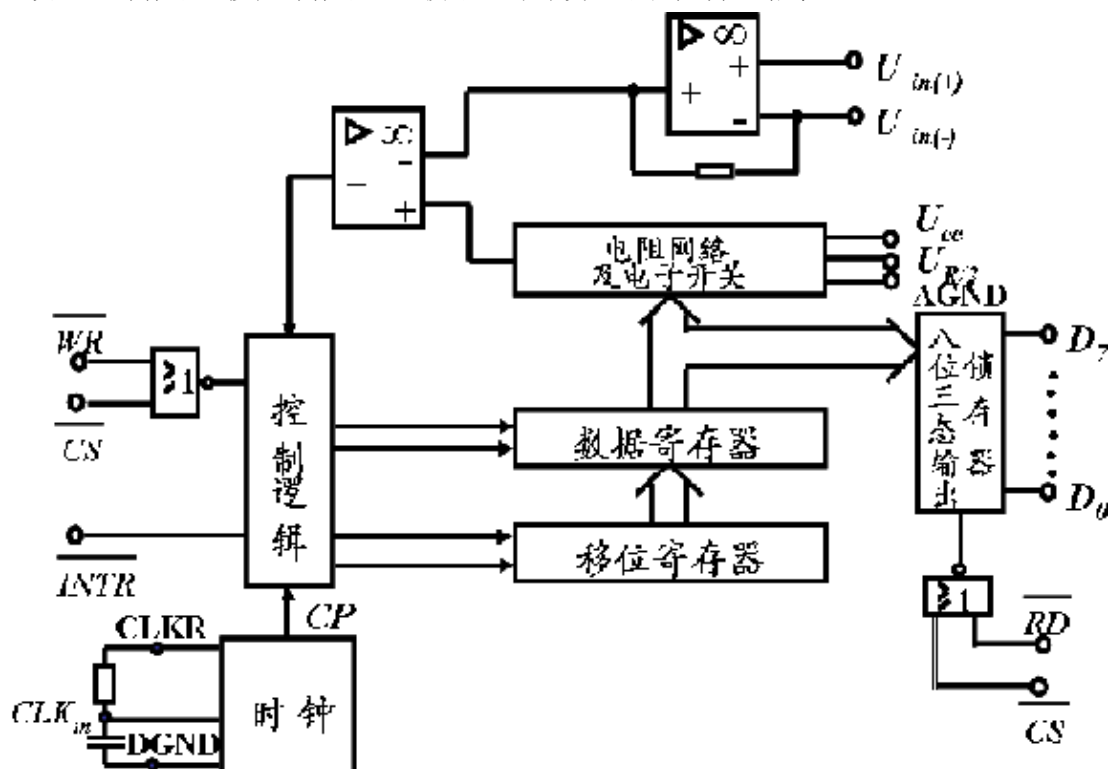


图 10-1 ADC0804 原理示意图

ADC0804 的工作过程为：转换开始时由时钟节拍控制动作，第一个时钟来时，移位寄存器状态为

10000000（最高位置 1），并送给数据寄存器，有数据寄存器将 10000000 传给 D/A 转换器输入端，使 D/A 转换器产生出模拟电压 v_{ST} ， v_{ST} 与 A/D 转换器的输入模拟量 v_I 进行比较，若 $v_{ST} < v_I$ ，则比较器输出 v_c 为高电平 1，若 $v_{ST} > v_I$ ，则 $v_c=0$ 。然后第二个时钟到来，便使移位寄存器变为 01000000，送给数据寄存器，但数据寄存器的最高位由 v_c 来确定， v_c 为 1，数据寄存器的最高位保持原来的 1， v_c 为 0，数据寄存器的最高位为 0，比较一直进行到 $v_{ST} = v_I$ 才结束。此时数据寄存器中的二进制输出，即为 A/D 转换器的二进制输出。

3. ADC0804 集成电路

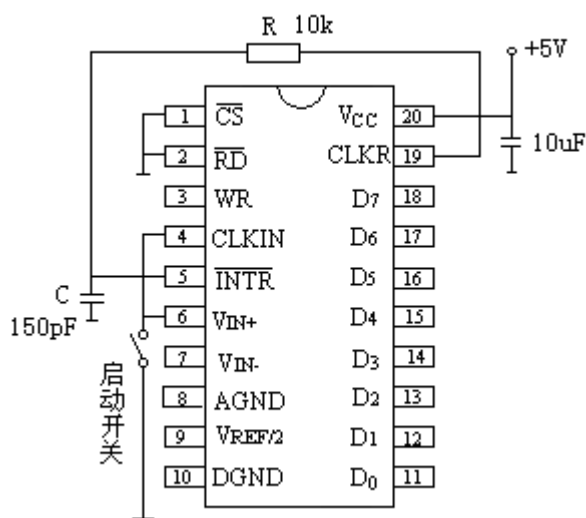


图 10-2 ADC0804 外引线排列图

模拟量由 $V_{IN(+)}$ 和 AGND（模拟地）输入；数字量由 $D_7 \sim D_0$ 输出，数字量共 8 位， D_0 为最低位（LSB）， D_7 为最高位（MSB）。 V_{CC} 接 +5V 电源的正极，AGND 和 DGND 分别为模拟地和数字地。

ADC0804 设有两组时钟输入。片选端 $\overline{CS}$ 低电平有效，每次转换前必须使片选 $\overline{CS}$ 和写入端 $\overline{WR}$ 同时为低电平，将 ADC0804 初始化，为转换做好准备，再使 $\overline{WR}$ 为高电平，ADC0804 方开始工作，将输入的模拟量转换成数字量，但只有当片选端 $\overline{CS}$ 和读出端 $\overline{RD}$ 全是低电平时，才允许将结果输出，每次转换结束后，中断请求 $\overline{INTR}$ 为低电平，转换结束。如果希望每次转换结束后立即将结果输出，可将 $\overline{INTR}$ 与 $\overline{WR}$ 相连， $\overline{CS}$ 与 $\overline{RD}$ 接地，如图 10-2 所示，则可实现每转换依次立即将结果输出，同时中断请求端 $\overline{INTR}$ 送出一个低电平给 $\overline{WR}$ 端，启动下一次转换，途中的启动开关供第一次转换启动用，启动后将开关断开。

四、实验内容

1. 按图 10-2 接好电路，输出接 LED。
2. 将 $V_{IN(-)}$ 接地， $V_{IN(+)}$ 接 4.6V 电压，调节 $\frac{V_{REF}}{2}$ 上的电压，使输出为 11111110，测出此时 $\frac{V_{REF}}{2}$ 的值，保持 $\frac{V_{REF}}{2}$ 不变，将 $V_{IN(+)}$ 与之相连，读出输出的数字量。
3. 保持 $\frac{V_{REF}}{2}$ 不变，令 $V_{IN(+)}$ 分别为 3.5V、2.5V、1.5V、1.0V、0.5V，读出相应的输出数字量。

五、数据处理

整理实验内容 2、3 的实验数据，绘出输入与输出之间的关系曲线，加以分析。

六、思考题

- 1、8 位 A/D 转换器，当其输入从 0~5 V 变化时，输出二进制码从 00000000 至 11111111 变化，问使输出从 00000000 变至 00000001 时，输入电压值变化多少？
- 2、A/D 转换器转换速率为每秒 6000 次，问转换时间为多少？

实验十一 30 秒定时电路

一、实验目的

1. 掌握定时电路的工作原理
2. 熟悉数字电路的设计方法

二、实验器材

1. 数字电路实验箱、示波器、万用表
2. 集成电路 ADC0804、电阻、电容若干

三、实验原理与参考电路

1 分析要求，画出原理框图

30 秒定时器的总体参考方案框图如图 11-1 所示。它包括秒脉冲发生器、计数器、译码电路、报警电路和辅助时序控制电路（简称控制电路）等五个部分组成。其中计数器和控制电路是系统的主要部分。计数器完成 30 秒计时功能，而控制电路完成计数器的直接清零、启动、暂停/连续计数、译码显示电路的显示与灭灯、定时时间到报警等功能。

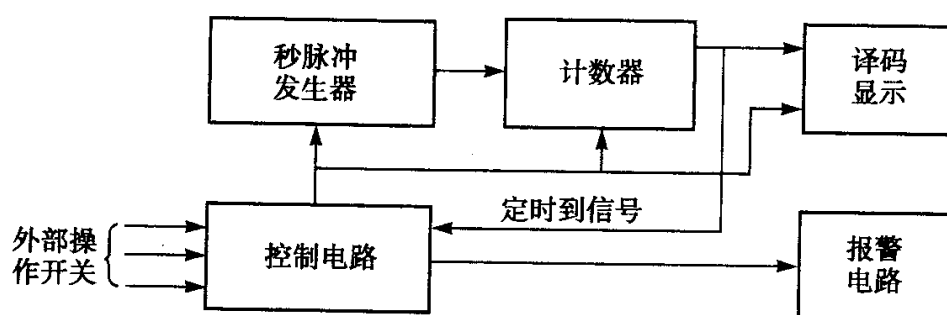


图 11-1

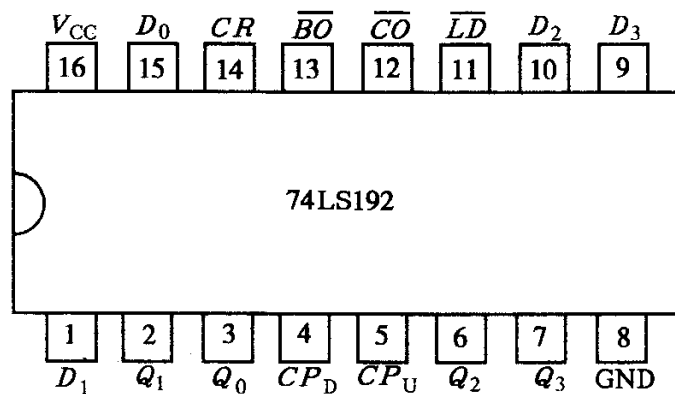
秒脉冲发生器产生的信号是电路的时钟脉冲和定时标准，但本设计对此信号要求并不太高，可采用 555 集成电路或由 Γ L 与非门组成的多谐振荡器构成。

译码显示电路用 74LS48 和共阴极七段 LED 显示器组成，也可以用实验箱内组装好的译码器和共阴极七段 LED 显示器，报警电路在实验中可用发光二极管代替。

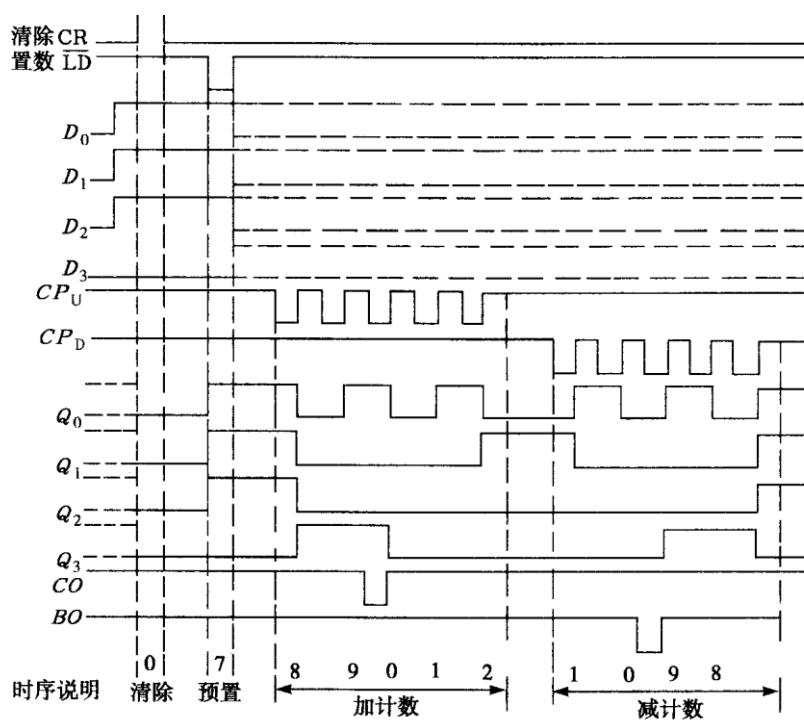
2 单元电路设计

(1) 8421BCD 码递减计数器

计数器选用中规模集成电路 74LS192 进行设计较为简便，74LS192 是十进制可编程同步加/减计数器，它采用 8421 码二进制十进制编码，并具有直接清零、置数、加/减计数功能。图 11-2 是 74LS192 外引线排列图及时序波形图。图中 CP_U 、 CP_D ，分别是加计数、减计数的时钟输入端（上升沿有效）。 $\overline{LD}$ 是异步并行置数控制端（低电平有效）， $\overline{CO}$ 、 $\overline{BO}$ 分别是进位、借位输出端（低电平有效）， CR 是异步清除端， $D_3 \sim D_0$ 是并行数据输入端， $Q_3 \sim Q_0$ 是输出端。



(a)



(b)

图 11-2 (a) 外引线排列图 (b) 时序波形图

74LS192 的功能见表 8-1 所示。它的工作原理是：当 $\overline{LD} = 1$, $CR = 0$ 时，若时钟脉冲加入到 CP_U 端，且 $CP_D = 1$ ，则计数器在预置数的基础上完成加计数功能，当加计数到 9 时， $\overline{CO}$ 端发出进位下跳变

表 8-1

CP_U	CP_D	$\overline{LD}$	CR	操作
×	×	0	0	计数
↑	1	1	0	加计数
1	↑	1	0	减计数
×	×	×	1	清零

脉冲；若时钟脉冲加入到 CP_D 端，且 $CP_U = 1$ ，则计数器在预置数的基础上完成减计数功能，当减计数

到 0 时, $\overline{BO}$ 端发出借位下跳变脉冲。由 74LS192 构成的三十进制递减计数器如图 11-3 所示, 其预置数为 $N=(00110000)_{8421 \text{ BCD}}=(30)_{10}$ 。它的计数原理是: 只有当低位 BO_1 端发出借位脉冲时, 高位计数器才作减计数。当高、低位计数器处于全零, 且 CP_D 为 0 时, 置数端 $\overline{LD}_2=0$, 计数器完成并行置数, 在 CP_D 端的输入时钟脉冲作用下, 计数器再次进入下一循环减计数。

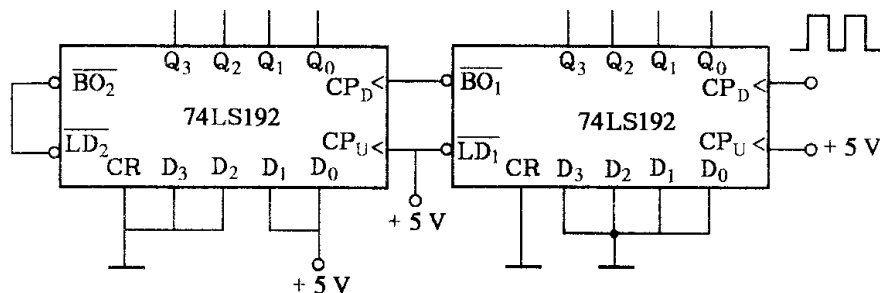


图 11-3

(2) 辅助时序控制电路

为了保证系统的设计要求, 在设计控制电路时, 应正确处理各个信号之间的时序关系。从系统的设计要求可知, 控制电路要完成以下四项功能:

操作“直接清零”开关时, 要求计数器清零。

闭合“启动”开关时, 计数器应完成置数功能, 显示器显示 30 秒字样; 断开“启动”, 计数器开始进行递减计数。

当“暂停/连续”开关处于“暂停”位置时, 控制电路封锁时钟脉冲信号 CP , 计数器暂停计数, 显示器上保持原来的数不变, 当“暂停/连续”开关处于“连续”位置时, 计数器连续累计计数。另外, 外部操作开关都应采取去抖动措施, 以防止机械抖动造成电路工作不稳定。

当计数器递减计数到零(即定时时间到)时, 控制电路应发出报警信号, 使计数器保持零状态不变, 同时报警电路工作。

图 11-4 是辅助时序控制电路图。大家可自行分析其工作原理。

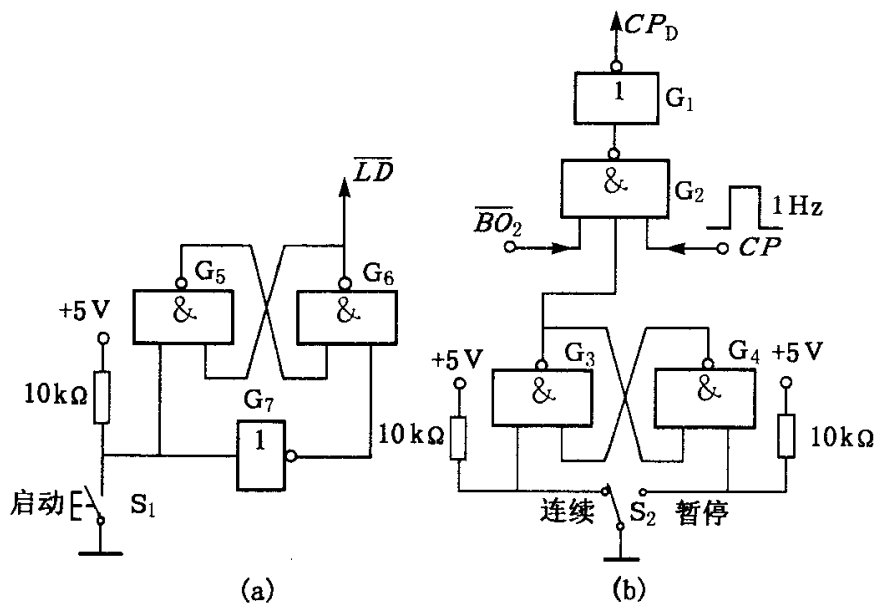
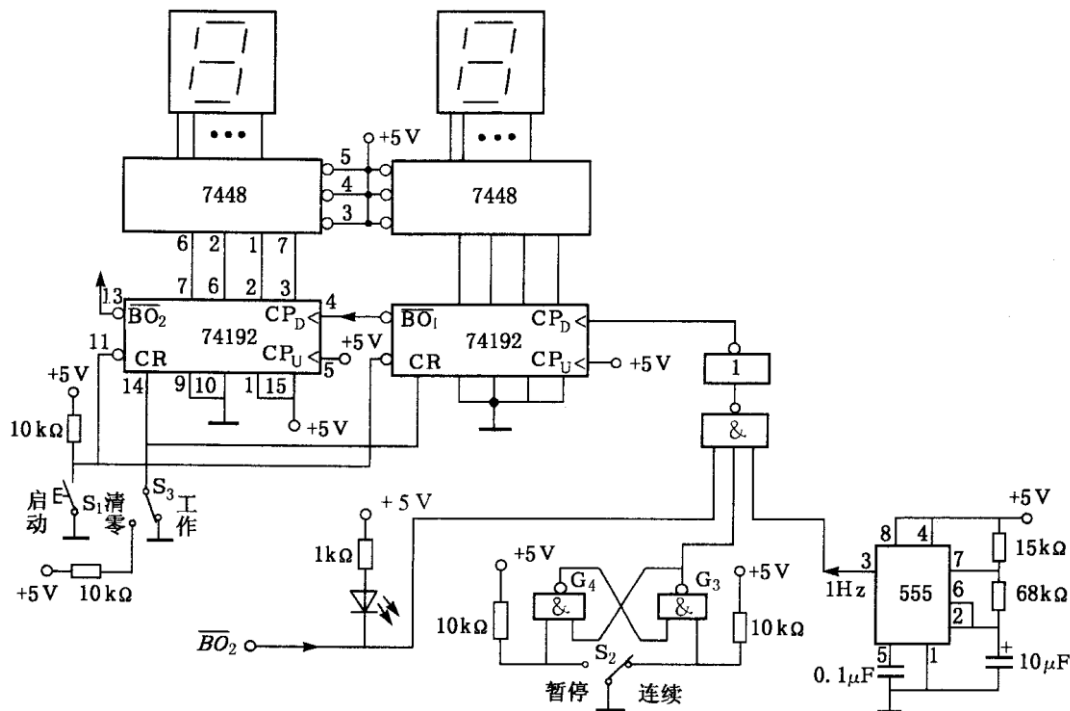


图 11-4 辅助时序控制电路图

(a) 置数控制电路 (b) 时钟信号控制电路

3. 总体参考电路

通过前面的分析，可以画出 30 秒定时电路。其参考电路如图 11-5 所示。



四、实验内容

- 1 组装调试秒脉冲产生电路。
- 2 组装、调试 30 秒地减计数器与译码显示电路。
- 3 设计组装能满足系统要求的时序控制电路。
- 4 完成 30 秒定时电路的整体联调，检查电路是否能满足系统的设计要求。

五、数据处理

- 1 分析时序控制电路的工作原理；
- 2 分析 30 秒定时电路的工作原理。

六、思考题

- 1 对于 74LS192 芯片，当 $\overline{LD} = 0, CR = 0$ 时，完成并行置数的功能，它与 CC40161 的同步并行置数功能有何区别？
- 2 将 30 秒递减计数器改为 30 秒递增计数器时，试问 74LS192 的外引线应做哪些改动？
- 3 数字系统中，有哪些因素会产生脉冲干扰？其现象为何？结合 30 秒定时电路的实验现象举例说明。

附：数字电路箱简介

数字电路实验箱是从事数字电子技术实验的主要仪器，辅助仪器有示波器、万用表。

数字电路实验箱上主要有直流电源、脉冲信号源、芯片插座、扳手、检测指示灯、数码管等，各部分供能如下：

1、直流电源

提供固定电压或可调电压的直流信号，一般用于芯片供电。实验箱提供多组相互独立的直流电源，直流电源均有两个极，某个所标示电压的插孔为其中一极、“地”则是另外一个极（所有直流电源的公共极）。

2、脉冲信号源

提供脉冲信号，供实验用。

3、芯片插座

箱子上有若干个芯片插座，供不同管脚的芯片查放，以利于连线。连线孔的数字即为芯片相应管脚。

4、扳手

箱子上有若干个小扳手，每个扳手均可提供高低电平，做为数字电路的输入信号：向上扳为高电平 1、向下扳为低电平 0。

5、检测指示灯

箱子上有若干个检测指示灯，可检测出所连接信号的高低电平，用于检测数字电路的输出信号：灯亮为高电平 1、灯暗为低电平 0。

6、数码管

箱子上有若干个 7 段数码管，用于显示数字 0——9。利用 8421 码控制相应数字的显示。